



Atty. Dkt. No. 016907-1569

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

Applicant: Hiroshi WATANABE et al.

Title: TIME LIMIT FUNCTION UTILIZATION APPARATUS

Appl. No.: 10/612,405

Filing Date: 07/03/2003

Examiner: Unassigned

Art Unit: 2816

**CLAIM FOR CONVENTION PRIORITY**

Commissioner for Patents  
PO Box 1450  
Alexandria, Virginia 22313-1450

Sir:

The benefit of the filing dates of the following prior foreign applications filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed.

In support of this claim, filed herewith are certified copies of said original foreign applications:

- Japanese Patent Application No. 2002-198144 filed 07/08/2002.
- Japanese Patent Application No. 2002-336961 filed 11/20/2002.
- Japanese Patent Application No. 2003-188792 filed 06/30/2003.

Respectfully submitted,

Date NOV 12 2003

By 

FOLEY & LARDNER  
Customer Number: 22428  
Telephone: (202) 672-5414  
Facsimile: (202) 672-5399

Richard L. Schwaab  
Attorney for Applicant  
Registration No. 25,479

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月 8日

出 願 番 号

Application Number:

特願2002-198144

[ST.10/C]:

[JP2002-198144]

出 願 人

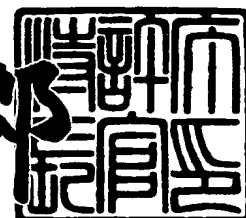
Applicant(s):

株式会社東芝

2003年 2月21日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009674

【書類名】 特許願

【整理番号】 13B0240241

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 有効期限付き機能利用装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
横浜事業所内

【氏名】 渡辺 浩志

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100083161

【弁理士】

【氏名又は名称】 外川 英明

【電話番号】 (03)3457-2512

【手数料の表示】

【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 有効期限付き機能利用装置

【特許請求の範囲】

【請求項 1】

第 1 の機能ブロックと、

第 2 の機能ブロックと、

前記第 1 の機能ブロック及び前記第 2 の機能ブロックが相互アクセスすることによって発生する所望の機能を利用可能とするノードと、

前記第 1 の機能ブロック及び前記第 2 の機能ブロック間を接続し、所定の時間経過後、前記第 1 の機能ブロック及び前記第 2 の機能ブロックの接続を切断することで前記相互アクセスを不能とする時限スイッチとを具備し、

前記時限スイッチ切断後、前記ノードから前記所望の機能は利用不能となることを特徴とする有効期限付き機能利用装置。

【請求項 2】

前記第 1 の機能ブロックは、エンコードされた暗号キーを格納するメモリであり、前記第 2 の機能ブロックは、前記暗号キーをデコードするデコーダーであり、前記所望の機能はデコードされた暗号キーであることを特徴とする請求項 1 記載の有効期限付き機能利用装置。

【請求項 3】

前記時限スイッチは、半導体層内に離間して形成されたソース領域及びドレイン領域と、前記ソース領域及びドレイン領域間のチャンネル領域上に形成されたゲートとを備え、前記第 1 の機能ブロックは前記ソース領域及びドレイン領域の一方に接続され、前記第 2 の機能ブロックは前記ソース領域及びドレイン領域の他方に接続されていることを特徴とする請求項 1 或いは請求項 2 記載の有効期限付き機能利用装置。

【請求項 4】

前記時限スイッチは、前記ゲートに予め電荷が供給されることによって前記ソース領域及びドレイン領域間が導通状態となり、前記電荷が前記ゲートから時間の経過とともに抜け、前記所定の時間経過後に前記ソース領域及びドレイン領域

間が非導通状態となることを特徴とする請求項 3 記載の有効期限付き機能利用装置。

【請求項 5】

p n 接合、p n p 接合、 $n^+ n n^+$  接合、 $p^+ p p^+$  接合、n p n 接合、ショットキー接合及び MOS トランジスタのいずれかを介して前記ゲートに電荷を注入することを特徴とする請求項 4 記載の有効期限付き機能利用装置。

【請求項 6】

前記時限スイッチの前記ゲートは、p n 接合、p n p 接合、 $n^+ n n^+$  接合、 $p^+ p p^+$  接合、n p n 接合或いはショットキー接合が前記半導体層に対して垂直方向に積層されていることを特徴とする請求項 4 記載の有効期限付き機能利用装置。

【請求項 7】

前記時限スイッチは、半導体層内に離間して形成されたソース領域及びドレイン領域と、前記ソース領域及びドレイン領域間のチャネル領域上に形成された浮遊ゲートと、前記浮遊ゲート近傍に形成されたコントロールゲートとを備え、前記第 1 の機能ブロックは、前記ソース領域及びドレイン領域の一方に接続され、前記第 2 の機能ブロックは前記ソース領域及びドレイン領域の他方に接続されていることを特徴とする請求項 1 或いは請求項 2 記載の有効期限付き機能利用装置。

【請求項 8】

前記時限スイッチは、前記浮遊ゲートに予め電荷が供給されることによって前記ソース領域及びドレイン領域間が導通状態となり、前記電荷が前記浮遊ゲートから時間の経過とともに抜け、前記所定の時間経過後に前記ソース領域及びドレイン領域間が非導通状態となることを特徴とする請求項 7 記載の有効期限付き機能利用装置。

【請求項 9】

前記浮遊ゲートから前記ソース領域或いは前記ドレイン領域の少なくとも一方に電荷が抜けることを特徴とする請求項 8 記載の有効期限付き機能利用装置。

【請求項 10】

前記浮遊ゲートの側面近傍に側面電極が形成され、前記浮遊ゲートから前記側面ゲートに電荷が抜けることを特徴とする請求項 8 記載の有効期限付き機能利用装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有効期限付き機能利用装置に関する。

【0002】

【従来の技術】

暗号やパスワードに有効期限を設けたセキュリティシステムは従来から広く用いられてきた。例えば、衛星放送では、暗号キーに有効期限を設け、ある一定期間毎にユーザーにパスワードの変更を義務付けてセキュリティを高めている。

【0003】

特開平 1 0 - 1 8 9 7 8 0 号公報には、データ保持寿命が任意に設定された不揮発性半導体メモリが記載されており、この不揮発性半導体メモリ装置をメモリカードや定期券等を使用して一定期間データを保持するとともに、一定期間経過後にデータを抹消することで、メモリカードや定期券等を使用できないようにすることが記載されている。

【0004】

しかしながらこの不揮発性半導体メモリは、メモリを構成する不揮発性メモリの一つ一つのゲート絶縁膜における原子構成比を調整することで、データの保持寿命を決定している。したがって正確な保持寿命を再現することが困難であるという問題がある。また、有効期限を任意に決めたメモリ領域を複数形成するためには、異なる原子構成比からなるゲート絶縁膜を有するメモリを同一基板に作りこまなければならないという問題がある。また、不揮発性メモリにアクセスしてデータをリフレッシュすることで容易に保持時間を延ばすことができるという問題もある。

【0005】

【発明が解決しようとする課題】

本発明は、このような問題を解決するためになされたもので、正確な動作寿命を補償することができ、異なる寿命を有する領域を提供でき、寿命の改ざんを防ぐことのできる有効期限付き機能利用装置を提供することを目的とする。

【 0 0 0 6 】

【課題を解決するための手段】

上記目的を達成するために、本発明は、第 1 の機能ブロックと、  
第 2 の機能ブロックと、

前記第 1 の機能ブロック及び前記第 2 の機能ブロックが相互アクセスすることによって発生する所望の機能を利用可能とするノードと、

前記第 1 の機能ブロック及び前記第 2 の機能ブロック間を接続し、所定の時間経過後、前記第 1 の機能ブロック及び前記第 2 の機能ブロックの接続を切断することで前記相互アクセスを不能とする時限スイッチとを具備し、

前記時限スイッチ切断後、前記ノードから前記所望の機能は利用不能となることを特徴とする有効期限付き機能利用装置を提供する。

【 0 0 0 7 】

このとき、前記第 1 の機能ブロックは、エンコードされた暗号キーを格納するメモリであり、前記第 2 の機能ブロックは、前記暗号キーをデコードするデコーダーであり、前記所望の機能はデコードされた暗号キーであることが好ましい。

【 0 0 0 8 】

また、前記時限スイッチは、半導体層内に離間して形成されたソース領域及びドレイン領域と、前記ソース領域及びドレイン領域間のチャネル領域上に形成されたゲートとを備え、前記第 1 の機能ブロックは前記ソース領域及びドレイン領域の一方に接続され、前記第 2 の機能ブロックは前記ソース領域及びドレイン領域の他方に接続されていることが好ましい。

【 0 0 0 9 】

また、前記時限スイッチは、前記ゲートに予め電荷が供給されることによって前記ソース領域及びドレイン領域間が導通状態となり、前記電荷が前記ゲートから時間の経過とともに抜け、前記所定の時間経過後に前記ソース領域及びドレイン領域間が非導通状態となることが好ましい。

## 【0010】

また、 $p\ n$ 接合、 $p\ n\ p$ 接合、 $n^+\ n\ n^+$ 接合、 $p^+\ p\ p^+$ 接合、 $n\ p\ n$ 接合、ショットキー接合及びMOSトランジスタのいずれかを介して前記ゲートに電荷を注入することが好ましい。

## 【0011】

また、前記時限スイッチの前記ゲートは、 $p\ n$ 接合、 $p\ n\ p$ 接合、 $n^+\ n\ n^+$ 接合、 $p^+\ p\ p^+$ 接合、 $n\ p\ n$ 接合或いはショットキー接合が前記半導体層に対して垂直方向に積層されていることが好ましい。

## 【0012】

また、前記時限スイッチは、半導体層内に離間して形成されたソース領域及びドレイン領域と、前記ソース領域及びドレイン領域間のチャネル領域上に形成された浮遊ゲートと、前記浮遊ゲート近傍に形成されたコントロールゲートとを備え、前記第1の機能ブロックは、前記ソース領域及びドレイン領域の一方に接続され、前記第2の機能ブロックは前記ソース領域及びドレイン領域の他方に接続されていることが好ましい。

## 【0013】

また、前記時限スイッチは、前記浮遊ゲートに予め電荷が供給されることによって前記ソース領域及びドレイン領域間が導通状態となり、前記電荷が前記浮遊ゲートから時間の経過とともに抜け、前記所定の時間経過後に前記ソース領域及びドレイン領域間が非導通状態となることが好ましい。

## 【0014】

また、前記浮遊ゲートから前記ソース領域或いは前記ドレイン領域の少なくとも一方に電荷が抜けることが好ましい。

## 【0015】

また、前記浮遊ゲートの側面近傍に側面電極が形成され、前記浮遊ゲートから前記側面ゲートに電荷が抜けることが好ましい。

## 【0016】

## 【発明の実施の形態】

以下、本発明の実施形態について図面を用いて詳細に説明する。なお、本発明



は、以下の実施形態に限定されるものではなく種々工夫して用いることができる。

#### 【0017】

##### （実施形態1）

本実施形態では、図1に示すように、第1の機能ブロックとして記憶領域（メモリ）1と、第2の機能ブロックとして記憶領域1から情報を読み出すためのデコーダー2と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような時限スイッチ（エージングデバイス）3が集積化された集積回路（LSI）4を示す。

#### 【0018】

図1に示すように、メモリ1とデコーダー2の間にエージングデバイスが配置されている。この場合では、エージングデバイス3の一方がメモリ1と接続され、他方がデコーダー2と接続され、デコーダー2とメモリ1はアクセス可能となっている。

#### 【0019】

エージングデバイス3は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、メモリ1とデコーダー2との接続が切れる。こうして、デコーダー2がメモリ1にアクセスすることができなくなりLSI4の機能が不全になる。例えばメモリ1に暗号を解読するための復号鍵が記憶されている場合、デコーダー2はメモリ1に記憶された復号鍵を読み取ることができなくなり、暗号の有効期限化が実現する。

#### 【0020】

##### （実施形態2）

本実施形態では、図2に示すように、第1の機能ブロックとして演算領域（MPU）1と、第2の機能ブロックとしてデコーダー2と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような時限スイッチ（エージングデバイス）3が集積化された集積回路（LSI）4を示す。

#### 【0021】

図2に示すように、MPU1とデコーダー2の間にエージングデバイス3が配

置されている。この場合では、エージングデバイス 3 の一方が M P U 1 と接続され、他方がデコーダー 2 と接続され、M P U 1 とデコーダー 2 はアクセス可能となっている。

#### 【 0 0 2 2 】

エージングデバイス 3 は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、M P U 1 とデコーダー 2 との接続が切れる。こうして、M P U 1 とデコーダー 2 はアクセスすることができなくなり L S I 4 の機能が不全になる。例えば M P U 1 が解読した暗号情報をデコーダー 2 が読み取ることができなくなり、暗号の有効期限化が実現する。

#### 【 0 0 2 3 】

##### (実施形態 3)

本実施形態では、図 3 に示すように、第 1 の機能ブロックとして演算領域 (M P U) 1 と、第 2 の機能ブロックとして記憶領域 (メモリ) 2 と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような時限スイッチ (エージングデバイス) 3 が集積化された集積回路 (L S I) 4 を示す。

#### 【 0 0 2 4 】

図 3 に示すように、M P U 1 とメモリ 2 の間にエージングデバイス 3 が配置されている。この場合では、エージングデバイス 3 の一方が M P U 1 と接続され、他方がメモリ 2 と接続され、M P U 1 とメモリ 2 はアクセス可能となっている。

#### 【 0 0 2 5 】

エージングデバイス 3 は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、M P U 1 とメモリ 2 との接続が切れる。こうして、M P U 1 とメモリ 2 はアクセスすることができなくなり L S I 4 の機能が不全になる。例えばメモリ 2 に記憶された復号鍵を M P U 1 が読み取ることができなくなり、暗号を解読できなくなる。こうして暗号の有効期限化が実現する。

#### 【 0 0 2 6 】

##### (実施形態 4)

本実施形態では、図 4 に示すように、第 1 の機能ブロックとして記憶領域 (メモリ) 1 a 及び演算領域 (M P U) 1 b と、第 2 の機能ブロックとしてデコーダ

ー 2 と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような時限スイッチ（エージングデバイス） 3 が集積化された集積回路（L S I） 4 を示す。

## 【 0 0 2 7 】

図 4 に示すように、メモリ 1 a 及び M P U 1 b とデコーダー 2 の間にエージングデバイス 3 が配置されている。この場合では、エージングデバイス 3 の一方がメモリ 1 a 及び M P U 1 b と接続され、他方がデコーダー 2 と接続され、メモリ 1 a 及び M P U 1 b とデコーダー 2 はアクセス可能となっている。

## 【 0 0 2 8 】

エージングデバイス 3 は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、メモリ 1 a 及び M P U 1 b とデコーダー 2 との接続が切れる。こうして、メモリ 1 a 及び M P U 1 b とデコーダー 2 はアクセスすることができなくなり L S I 4 の機能が不全になる。例えばメモリ 2 に記憶された復号鍵をデコーダー 2 が読み取ることができなくなり、又は、メモリ 1 a に記憶された復号鍵を作って M P U 1 b が解読した暗号文をデコーダー 2 が読み取ることができなくなり、暗号の有効期限化が実現する。

## 【 0 0 2 9 】

## （実施形態 5）

本実施形態では、図 5 に示すように、第 1 の機能ブロックとして記憶領域（メモリ） 1 a、演算領域（M P U） 1 b 及びデコーダー 1 c と、第 2 の機能ブロックとして電源 2 と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような時限スイッチ（エージングデバイス） 3 が集積化された集積回路（L S I） 4 を示す。

## 【 0 0 3 0 】

図 5 に示すように、メモリ 1 a、M P U 1 b 及びデコーダー 1 c と電源 2 の間にエージングデバイス 3 が配置されている。この場合では、エージングデバイス 3 の一方がメモリ 1 a、M P U 1 b 及びデコーダー 1 c と接続され、他方が電源 2 と接続され、メモリ 1 a、M P U 1 b 及びデコーダー 1 c は、電源 2 から電力を供給されている。

## 【 0 0 3 1 】

エージングデバイス 3 は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、メモリ 1 a、MPU 1 b 及びデコーダー 1 c と電源 2 との接続が切れる。こうして、メモリ 1 a、MPU 1 b 及びデコーダー 1 c は、電源 2 から電力を供給されなくなり、LSI 4 の機能が不全になる。

## 【 0 0 3 2 】

## (実施形態 6)

本実施形態では、図 6 に示すように、第 1 の機能ブロックとして記憶領域（メモリ）1 a 及び演算領域（MPU）1 b と、第 2 の機能ブロックとして電源 2 と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような第 1 の時限スイッチ（エージングデバイス）3 a と、第 1 の機能ブロックとしてデコーダー 1 c と、第 2 の機能ブロックとして電源 2 と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような第 2 の時限スイッチ（エージングデバイス）3 b が集積化された集積回路（LSI）4 を示す。

## 【 0 0 3 3 】

図 6 に示すように、メモリ 1 a 及び MPU 1 b と電源 2 の間に第 1 のエージングデバイス 3 a が配置されている。この場合では、第 1 のエージングデバイス 3 a の一方がメモリ 1 a 及び MPU 1 b と接続され、他方が電源 2 と接続され、メモリ 1 a 及び MPU 1 b は、電源 2 から電力を供給されている。また、デコーダー 1 c と電源 2 の間に第 2 のエージングデバイス 3 b が配置されている。この場合では、第 2 のエージングデバイス 3 b の一方がデコーダー 1 c と接続され、他方が電源 2 と接続され、デコーダー 1 c は、電源 2 から電力を供給されている。

## 【 0 0 3 4 】

第 1 のエージングデバイス 3 a 及び第 2 のエージングデバイス 3 b は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、メモリ 1 a 及び MPU 1 b と電源 2 との接続が切れる。また、デコーダー 1 c と電源 2 との接続が切れる。こうして、メモリ 1 a、MPU 1 b 及びデコーダー 1 c は、電源 2 から電力を供給されなくなり、LSI 4 の機能が不全になる。

## 【 0 0 3 5 】

## (実施形態 7)

本実施形態では、図 7 に示すように、第 1 の機能ブロックとして記憶領域（メモリ）1 a と、第 2 の機能ブロックとして電源 2 と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような第 1 の時限スイッチ（エージングデバイス）3 a と、第 1 の機能ブロックとしてデコーダー 1 c と、第 2 の機能ブロックとして電源 2 と、これらの間に接続され、所定の時間が経過した後にスイッチがオフするような第 2 の時限スイッチ（エージングデバイス）3 b が集積化された集積回路（L S I）4 を示す。更に L S I 4 上には、演算領域（M P U）1 b が第 3 のエージングデバイス 3 c を介してメモリ 1 a と接続されている。

## 【0036】

図 6 に示すように、メモリ 1 a と電源 2 の間に第 1 のエージングデバイス 3 a が配置されている。この場合では、第 1 のエージングデバイス 3 a の一方がメモリ 1 a と接続され、他方が電源 2 と接続され、メモリ 1 a、電源 2 から電力を供給されている。また、M P U 1 b は第 3 のエージングデバイス 3 c、メモリ 1 a 及び第 1 のエージングデバイス 3 a を介して電源 2 と接続され、電源 2 から電力を供給されている。また、デコーダー 1 c と電源 2 の間に第 2 のエージングデバイス 3 b が配置されている。この場合では、第 2 のエージングデバイス 3 b の一方がデコーダー 1 c と接続され、他方が電源 2 と接続され、デコーダー 1 c は、電源 2 から電力を供給されている。

## 【0037】

第 1 のエージングデバイス 3 a、第 2 のエージングデバイス 3 b 及び第 3 のエージングデバイス 3 c は、予め設定された所定の時間が経過するとスイッチがオフ状態になり、メモリ 1 a 及び M P U 1 b との接続が切れる。また、これらと電源 2 との接続が切れる。さらに、デコーダー 1 c と電源 2 との接続が切れる。こうして、メモリ 1 a、M P U 1 b 及びデコーダー 1 c は、電源 2 から電力を供給されなくなり、また、M P U 1 b とメモリ 1 a とがアクセス不能となり、L S I 4 の機能が不全になる。

## 【0038】

次に、実施形態 1 乃至実施形態 7 に示したエージングデバイス 3 の具体的な構造及びその動作方法について説明する。

## 【 0 0 3 9 】

## (実施形態 8)

図 8 は、エージングデバイスの断面図である。このエージングデバイスは、 $n$  型半導体基板 1 1 上に、ゲート絶縁膜 1 2 が形成され、この上にゲート電極 1 3 が形成されている。ゲート絶縁膜 1 2 を挟むように  $p^+$  ソース領域 1 4 及び  $p^+$  ドレイン領域 1 5 が形成されている。このような  $p$  M O S F E T のゲート電極 1 3 に  $p$   $n$  接合 1 6 の  $n$  層を接続し、 $p$  層を外部端子に接続してエージングデバイスが形成されている。

## 【 0 0 4 0 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルや M P U が接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコーダーが接続されている。

## 【 0 0 4 1 】

このようなエージングデバイスに、図 9 に示すように、 $p$   $n$  接合 1 6 の  $p$  層に電圧  $V_1 < 0$  を印加する。

## 【 0 0 4 2 】

そうすると、図 1 0 に示すように  $p$  型領域から  $n$  型領域にバンド間トンネリング ( B B T ) や雪崩降伏現象によって、電子が流れる。こうすることによってゲート電極 1 3 に電子を注入する。電子を注入後、 $p$   $n$  接合 1 6 の  $p$  層に印加されていた電圧  $V_1$  を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、エージングチップをパッケージングする。

## 【 0 0 4 3 】

こうすることで、図 1 1 に示すように、電圧  $V_1$  が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスのソース領域 1 4 及びドレイン領域 1 5 間が導通状態となる。

## 【 0 0 4 4 】

次に、図 1 2 に示すように、ゲート電極 1 3 には余分な電子が蓄積しているた

め、拡散電流によって電子は p n 接合 1 6 の n 層から p 層に向かって逃げ出し、時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような蓄積電子の漏出は、ゲート絶縁膜 1 2 の厚さが十分薄ければ、ゲート電極 1 3 とチャネルの間、あるいは、ゲート電極 1 3 とソース領域 1 4 やドレイン領域 1 5 の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【 0 0 4 5 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 1 3 に蓄積する電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【 0 0 4 6 】

## （実施形態 9）

図 1 3 は、エージングデバイスの断面図である。このエージングデバイスは、p 型半導体基板 1 1 上に、ゲート絶縁膜 1 2 が形成され、この上にゲート電極 1 3 が形成されている。ゲート絶縁膜 1 2 を挟むように  $n^+$  ソース領域 1 4 及び  $n^+$  ドレイン領域 1 5 が形成されている。ゲート電極 1 3 に p n 接合 1 6 の p 層を接続し、n 層を外部端子に接続してエージングデバイスが形成されている。

## 【 0 0 4 7 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルや M P U が接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコーダーが接続されている。

## 【 0 0 4 8 】

このようなエージングデバイスに、図 1 4 に示すように、p n 接合 1 6 の n 層に電圧  $V_1 > 0$  を印加する。

## 【 0 0 4 9 】

そうすると、図 1 5 に示すように n 型領域から p 型領域にバンド間トンネリン

グ (BBT) や雪崩降伏現象によって、正孔が流れる。こうすることによってゲート電極 13 に正孔を注入する。正孔を注入後、pn 接合 16 の n 層に印加されていた電圧 V1 を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

## 【0050】

こうすることで、図 16 に示すように、電圧 V1 が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態となる。

## 【0051】

次に、図 17 に示すように、ゲート電極 13 には余分な正孔が蓄積しているため、拡散電流によって正孔は pn 接合 16 の p 層から n 層に向かって逃げ出し、時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような蓄積正孔の漏出は、ゲート絶縁膜 12 の厚さが十分薄ければ、ゲート電極 13 とチャネルの間、あるいは、ゲート電極 13 とソース領域 14 やドレイン領域 15 の拡散層との間の直接トンネリング (直接トンネルゲートリーク) でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 14 及びドレイン領域 15 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【0052】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 13 に蓄積する正電荷の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、正孔の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【0053】

## (実施形態 10)

図 18 は、エージングデバイスの断面図である。このエージングデバイスは、p 型半導体基板 11 上に、ゲート絶縁膜 12 が形成され、この上にゲート電極 13 が形成されている。ゲート絶縁膜 12 を挟むように n<sup>+</sup>ソース領域 14 及び n<sup>+</sup>ドレイン領域 15 が形成されている。ゲート電極 13 に pnp 接合 17 の一方の p 層を接続し、もう一方の p 層を外部端子に接続し、n 層を外部端子に接続して



エージングデバイスが形成されている。

【 0 0 5 4 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルや M P U が接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコーダーが接続されている。

【 0 0 5 5 】

このようなエージングデバイスに、 $p n p$  接合 1 7 のもう一方の  $p$  層に電圧  $V_1 > 0$  を印加し、 $n$  層に電圧  $V_2 < 0$  を印加する。

【 0 0 5 6 】

そうすると、図 1 8 に示すように  $p$  型領域から  $n$  型領域を介して  $p$  型領域に正孔が流れる。こうすることによってゲート電極 1 3 に正孔を注入する。正孔を注入後、 $p n p$  接合 1 7 の  $p$  層及び  $n$  層に印加されていた電圧  $V_1$  及び  $V_2$  を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【 0 0 5 7 】

こうすることで、図 1 9 に示すように、電圧  $V_1$  及び  $V_2$  が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態となる。

【 0 0 5 8 】

次に、ゲート電極 1 3 には余分な正孔が蓄積しているため、拡散電流によって正孔は  $p n p$  接合 1 7 の一方の  $p$  層から  $n$  層を介しもう一方の  $p$  層に向かって逃げ出し、時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような蓄積正孔の漏出は、絶縁膜の厚さが十分薄ければ、ゲート電極 1 3 とチャネルとの間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【 0 0 5 9 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 1 3 に蓄積する正電荷の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、正孔の注入時間、ゲート体積、接合面

積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

#### 【0060】

##### (実施形態11)

図20は、エージングデバイスの断面図である。このエージングデバイスは、p型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むように $n^+$ ソース領域14及び $n^+$ ドレイン領域15が形成されている。ゲート電極13に $n^+nn^+$ 接合18の一方の $n^+$ 層を接続し、もう一方の $n^+$ 層を外部端子に接続し、n層を外部端子に接続してエージングデバイスが形成されている。

#### 【0061】

エージングデバイスのソース領域14は第1の機能ブロック1としてメモリセルやMPUが接続され、ドレイン領域15は第2の機能ブロック2としてデコーダーが接続されている。

#### 【0062】

このようなエージングデバイスに、 $n^+nn^+$ 接合18のもう一方の $n^+$ 層に電圧 $V1 > 0$ を印加し、n層に電圧 $V2 > 0$ を印加する。

#### 【0063】

そうすると、図20に示すように、ゲート電極13から、 $n^+nn^+$ 接合18を介して、電子が抜き出される。こうすることによってゲート電極13を正に帯電させる。この後、 $n^+nn^+$ 接合18の $n^+$ 層及びn層に印加されていた電圧 $V1$ 及び $V2$ を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

#### 【0064】

こうすることで、電圧 $V1$ 及び $V2$ が0ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態となる。

#### 【0065】

次に、ゲート電極13に不足した電子が、拡散電流によって $n^+nn^+$ 接合18を介してゲート電極13に蓄積する。こうして時間の経過と共にチャネルに掛か

る電界が弱くなる。また、このような電子の注入は、ゲート絶縁膜 1 2 の厚さが十分薄ければ、ゲート電極 1 3 とチャネルの間、あるいは、ゲート電極 1 3 とソース領域 1 4 やドレイン領域 1 5 の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【 0 0 6 6 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 1 3 から抜き取る電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の抜き取り時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【 0 0 6 7 】

## （実施形態 1 2）

図 2 1 は、エージングデバイスの断面図である。このエージングデバイスは、p 型半導体基板 1 1 上に、ゲート絶縁膜 1 2 が形成され、この上にゲート電極 1 3 が形成されている。ゲート絶縁膜 1 2 を挟むように  $n^+$  ソース領域 1 4 及び  $n^+$  ドレイン領域 1 5 が形成されている。ゲート電極 1 3 に  $p^+p$   $p^+$  接合 1 9 の一方の  $p^+$  層を接続し、もう一方の  $p^+$  層を外部端子に接続し、p 層を外部端子に接続してエージングデバイスが形成されている。

## 【 0 0 6 8 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルや MPU が接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコーダーが接続されている。

## 【 0 0 6 9 】

このようなエージングデバイスに、 $p^+p$   $p^+$  接合 1 9 のもう一方の  $p^+$  層に電圧  $V1 > 0$  を印加し、p 層に電圧  $V2 > 0$  を印加する。

## 【 0 0 7 0 】

こうして、ゲート電極 1 3 に、 $p^+p$   $p^+$  接合 1 9 を介して、正孔を注入し、ゲ

ート電極 1 3 を正に帯電させる。この後、 $p^+p p^+$  接合 1 9 の  $p^+$  層及び  $p$  層に印加されていた電圧  $V_1$  及び  $V_2$  を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

## 【 0 0 7 1 】

こうすることで、電圧  $V_1$  及び  $V_2$  が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態となる。

## 【 0 0 7 2 】

次に、図 2 2 に示すように、拡散電流によってゲート電極 1 3 の正孔が、 $p^+p p^+$  接合 1 9 を介して抜き出される。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような正孔の抜き出しは、ゲート絶縁膜 1 3 の厚さが十分薄ければ、ゲート電極 1 3 とチャネルの間及びゲート電極 1 3 とソース領域 1 4 やドレイン領域 1 5 の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【 0 0 7 3 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 1 3 に蓄積する正電荷の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、正孔の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積等を調節することによって、所定の範囲に収めることが出来る。

## 【 0 0 7 4 】

## （実施形態 1 3）

図 2 3 は、エージングデバイスの断面図である。このエージングデバイスは、 $p$  型半導体基板 1 1 上に、ゲート絶縁膜 1 2 が形成され、この上にゲート電極 1 3 が形成されている。ゲート絶縁膜 1 2 を挟むように  $n^+$  ソース領域 1 4 及び  $n^+$  ドレイン領域 1 5 が形成されている。ゲート電極 1 3 に  $n p n$  接合 2 0 の一方の  $n$  層を接続し、もう一方の  $n$  層を外部端子に接続し、 $p$  層を外部端子に接続してエージングデバイスが形成されている。

## 【 0 0 7 5 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルや M P U が接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコーダーが接続されている。

## 【 0 0 7 6 】

このようなエージングデバイスに、 $n p n$  接合 2 0 のもう一方の  $n$  層に電圧  $V_1 > 0$  を印加し、 $p$  層に電圧  $V_2 > 0$  を印加する。

## 【 0 0 7 7 】

そうすると、図 2 3 に示すように、ゲート電極 1 3 から、 $n p n$  接合 2 0 を介して、電子が抜き取られる。こうすることによってゲート電極 1 3 を正に帯電させる。この後、 $n p n$  接合 2 0 の  $n$  層及び  $p$  層に印加されていた電圧  $V_1$  及び  $V_2$  を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

## 【 0 0 7 8 】

こうすることで、電圧  $V_1$  及び  $V_2$  が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態となる。

## 【 0 0 7 9 】

次に、図 2 4 に示すように、ゲート電極 1 3 に不足した電子が、拡散電流によって  $n p n$  接合 2 0 を介して、ゲート電極 1 3 に注入される。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような電子の注入は、ゲート絶縁膜 1 2 の厚さが十分薄ければ、ゲート電極とチャネルの間及びゲート電極 1 3 とソース領域 1 4 やドレイン領域 1 5 の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【 0 0 8 0 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 1 3 から抜き取る電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の抜き取り時間、ゲート体積、接

合面積、接合の濃度、絶縁膜厚、チャンネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

#### 【0081】

##### (実施形態14)

図25は、エージングデバイスの断面図である。このエージングデバイスは、p型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むように $n^+$ ソース領域14及び $n^+$ ドレイン領域15が形成されている。ゲート電極13に、メタル/p型シリコンのショットキー接合21のp型シリコンを接続し、メタル層を外部端子に接続してエージングデバイスが形成されている。

#### 【0082】

エージングデバイスのソース領域14は第1の機能ブロック1としてメモリセルやMPUが接続され、ドレイン領域15は第2の機能ブロック2としてデコーダーが接続されている。

#### 【0083】

このようなエージングデバイスに対して、ショットキー接合21のメタル層に電圧 $V_1 > 0$ を印加する。

#### 【0084】

そうすると、ゲート電極13から、ショットキー接合21を介して、電子が抜き取られる。こうすることによってゲート電極13を正に帯電させる。その後、ショットキー接合21のメタル層に印加されていた電圧 $V_1$ を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

#### 【0085】

こうすることで、電圧 $V_1$ が0ボルトでも、チャンネルが開いた状態となる。こうしてエージングデバイスが導通状態となる。

#### 【0086】

次に、ゲート電極13に不足した電子が、リーク電流によってショットキー接合21を介して、ゲート電極13に注入される。こうして時間の経過と共にチャンネルに掛かる電界が弱くなる。また、このような電子の注入は、ゲート絶縁膜1

2の厚さが十分薄ければ、ゲート電極13とチャネルの間及びゲート電極13とソース領域14やドレイン領域15の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域14及びドレイン領域15の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【0087】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極13から抜き取る電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の抜き取り時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【0088】

## (実施形態15)

図26は、エージングデバイスの断面図である。このエージングデバイスは、n型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むように $p^+$ ソース領域14及び $p^+$ ドレイン領域15が形成されている。このようなpMOSFETのゲート電極13に、メタル／n型シリコンのショットキー接合22のn型シリコンを接続し、メタル層を外部端子に接続してエージングデバイスが形成されている。

## 【0089】

エージングデバイスのソース領域14は第1の機能ブロック1としてメモリセルやMPUが接続され、ドレイン領域15は第2の機能ブロック2としてデコーダーが接続されている。

## 【0090】

このようなエージングデバイスに対して、ショットキー接合22のメタル層に電圧 $V_1 < 0$ を印加する。

## 【0091】

そうすると、電子が、ショットキー接合22を介してゲート電極13に注入される。こうすることによってゲート電極13を負に帯電させる。その後、ショット

トキー接合 2 2 のメタル層に印加されていた電圧  $V_1$  を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

## 【 0 0 9 2 】

こうすることで、電圧  $V_1$  が 0 ボルトでも、チャネルが開いた状態となる。こうしてエージングデバイスが導通状態となる。

## 【 0 0 9 3 】

次に、ゲート電極 1 3 に蓄積した電子が、リーク電流によってショットキー接合 2 2 を介して抜けていく。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような電子の抜けは、ゲート絶縁膜 1 2 の厚さが十分薄ければ、ゲート電極 1 3 とチャネルの間の他に、ゲート電極 1 3 とソース領域 1 4 やドレイン領域 1 5 の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 及び電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【 0 0 9 4 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 1 3 に蓄積する電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【 0 0 9 5 】

## （実施形態 1 6）

図 2 7 は、エージングデバイスの断面図である。このエージングデバイスは、 $p$  型半導体基板 1 1 上に、ゲート絶縁膜 1 2 が形成され、この上にゲート電極 1 3 が形成されている。ゲート絶縁膜 1 2 を挟むように  $n^+$  ソース領域 1 4 及び  $n^+$  ドレイン領域 1 5 が形成されている。ゲート電極 1 3 に、 $n$  M O S F E T 2 3 の  $n^+$  ソース領域を接続し、ゲート及び  $n^+$  ドレイン領域を外部端子に接続してエージングデバイスが形成されている。

## 【 0 0 9 6 】



エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルや M P U が接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコーダーが接続されている。

## 【 0 0 9 7 】

このようなエージングデバイスに対して、nMOSFET 2 3 のゲートに電圧  $V_2 > 0$  を印加し、 $n^+$ ソース領域に電圧  $V_1 > 0$  を印加する。

## 【 0 0 9 8 】

そうすると、電子が、nMOSFET 2 3 を通ってゲート電極 1 3 から抜ける。こうすることによってゲート電極 1 3 を正に帯電させる。この後、nMOSFET 2 3 のゲート電圧  $V_2$  を切ってからソース電圧  $V_1$  を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

## 【 0 0 9 9 】

こうすることで、電圧  $V_1$  及び電圧  $V_2$  が 0 ボルトでも、ソース領域 1 4 及びドレイン領域 1 5 間が導通状態となる。こうしてエージングデバイスが導通状態となる。

## 【 0 1 0 0 】

次に、ゲート電極 1 3 に、リーク電流によって nMOSFET 2 3 を介して電子が注入される。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような電子の注入は、ゲート絶縁膜 1 2 の厚さが十分薄ければ、ゲート電極 1 3 とチャネルの間及びゲート電極 1 3 とソース領域 1 4 やドレイン領域 1 5 の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【 0 1 0 1 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 1 3 から抜き取る電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の抜き取り時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節

することによって、所定の範囲に収めることが出来る。

【0102】

nMOSFETのゲート幅、ゲート長、拡散層濃度、チャネル濃度、絶縁膜厚、エクステンション領域等を調節することによっても、所定の範囲に収めることが出来る。

【0103】

(実施形態17)

図28は、エージングデバイスの断面図である。このエージングデバイスは、p型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むように $n^+$ ソース領域14及び $n^+$ ドレイン領域15が形成されている。ゲート電極13に、pMOSFET24の $p^+$ ソース領域を接続し、ゲート及び $p^+$ ドレイン領域を外部端子に接続してエージングデバイスが形成されている。

【0104】

エージングデバイスのソース領域14は第1の機能ブロック1としてメモリセルやMPUが接続され、ドレイン領域15は第2の機能ブロック2としてデコーダーが接続されている。

【0105】

このようなエージングデバイスに対して、pMOSFET24のゲートに電圧 $V_2 < 0$ を印加し、 $n^+$ ソース領域に電圧 $V_1 > 0$ を印加する。

【0106】

そうすると、正孔が、pMOSFET24を通してゲート電極13に注入される。こうすることによってゲート電極13を正に帯電させる。この後、nMOSFET23のゲート電圧 $V_2$ を切ってからソース電圧 $V_1$ を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0107】

こうすることで、電圧 $V_1$ 及び電圧 $V_2$ が0ボルトでも、ソース領域14及びドレイン領域15間が導通状態となる。こうしてエージングデバイスが導通状態となる。

## 【 0 1 0 8 】

次に、ゲート電極 1 3 に、リーク電流によって p M O S F E T 2 4 を介して正孔がリークする。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。また、このような正孔のリークは、ゲート絶縁膜 1 2 の厚さが十分薄ければ、ゲート電極 1 3 とチャネルの間及びゲート電極 1 3 とソース領域 1 4 やドレイン領域 1 5 の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【 0 1 0 9 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 1 3 に蓄積する正孔の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、正孔の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【 0 1 1 0 】

p M O S F E T 2 4 のゲート幅、ゲート長、拡散層濃度、チャネル濃度、絶縁膜厚、エクステンション領域等を調節することによっても、所定の範囲に収めることが出来る。

## 【 0 1 1 1 】

## （実施形態 1 8）

図 2 9 は、エージングデバイスの断面図である。このエージングデバイスは、n 型半導体基板 1 1 上に、ゲート絶縁膜 1 2 が形成され、この上にゲート電極 1 3 が形成されている。ゲート絶縁膜 1 2 を挟むように p<sup>+</sup>ソース領域 1 4 及び p<sup>+</sup>ドレイン領域 1 5 が形成されている。このような p M O S F E T のゲート電極 1 3 に、n M O S F E T 2 5 の n<sup>+</sup>ソース領域を接続し、ゲート及び n<sup>+</sup>ドレイン領域を外部端子に接続してエージングデバイスが形成されている。

## 【 0 1 1 2 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセ

ルやMPUが接続され、ドレイン領域15は第2の機能ブロック2としてデコーダーが接続されている。

【0113】

このようなエージングデバイスに対して、nMOSFET25のゲートに電圧 $V_2 > 0$ を印加し、 $n^+$ ソース領域に電圧 $V_1 < 0$ を印加する。

【0114】

そうすると、電子が、nMOSFET25を通してゲート電極13に注入される。こうすることによってゲート電極13を負に帯電させる。その後、nMOSFET25のゲート電圧 $V_2$ を切ってからソース電圧 $V_1$ を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0115】

こうすることで、電圧 $V_1$ 及び電圧 $V_2$ が0ボルトでも、ソース領域14及びドレイン領域15間が導通状態となる。こうしてエージングデバイスが導通状態となる。

【0116】

次に、ゲート電極13から、リーク電流によってnMOSFET25を介して電子が抜ける。こうして時間の経過と共にチャンネルに掛かる電界が弱くなる。また、このような電子の抜けは、ゲート絶縁膜12の厚さが十分薄ければ、ゲート電極13とチャンネルの間及びゲート電極13とソース領域14やドレイン領域15の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャンネルが反転しなくなったとき、ソース領域14及びドレイン領域15の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

【0117】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極13に蓄積する電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャンネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【0118】

nMOSFETのゲート幅、ゲート長、拡散層濃度、チャネル濃度、絶縁膜厚等を調節することによっても、所定の範囲に収めることが出来る。

## 【0119】

## (実施形態19)

図30は、エージングデバイスの断面図である。このエージングデバイスは、n型半導体基板11上に、ゲート絶縁膜12が形成され、この上にゲート電極13が形成されている。ゲート絶縁膜12を挟むように $p^+$ ソース領域14及び $p^+$ ドレイン領域15が形成されている。ゲート電極13に、pMOSFET26の $p^+$ ソース領域を接続し、ゲート及び $p^+$ ドレイン領域を外部端子に接続してエージングデバイスが形成されている。

## 【0120】

エージングデバイスのソース領域14は第1の機能ブロック1としてメモリセルやMPUが接続され、ドレイン領域15は第2の機能ブロック2としてデコーダーが接続されている。

## 【0121】

このようなエージングデバイスに対して、pMOSFET26のゲートに電圧 $V_2 < 0$ を印加し、 $n^+$ ソース領域に電圧 $V_1 < 0$ を印加する。

## 【0122】

そうすると、正孔が、ゲート電極13からnMOSFET26を通して抜け出す。こうすることによってゲート電極13を負に帯電させる。その後、nMOSFET26のゲート電圧 $V_2$ を切ってからソース電圧 $V_1$ を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

## 【0123】

こうすることで、電圧 $V_1$ 及び電圧 $V_2$ が0ボルトでも、ソース領域14及びドレイン領域15間が導通状態となる。こうしてエージングデバイスが導通状態となる。

## 【0124】

次に、ゲート電極13に、リーク電流によってpMOSFET26を介して正

孔が注入される。こうして時間の経過と共にチャンネルに掛かる電界が弱くなる。また、このような正孔の注入は、ゲート絶縁膜 1 2 の厚さが十分薄ければ、ゲート電極 1 3 とチャンネルの間及びゲート電極 1 3 とソース領域 1 4 やドレイン領域 1 5 の拡散層との間の直接トンネリング（直接トンネルゲートリーク）でも発生しうる。こうしてチャンネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【 0 1 2 5 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、ゲート電極 1 3 から抜き取る正孔の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、正孔の抜き取り時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャンネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【 0 1 2 6 】

p M O S F E T 2 6 のゲート幅、ゲート長、拡散層濃度、チャンネル濃度、絶縁膜厚、エクステンション領域等を調節することによっても、所定の範囲に収めることが出来る。

## 【 0 1 2 7 】

## （実施形態 2 0）

図 3 1 は、エージングデバイスの断面図である。このエージングデバイスは、n 型半導体基板 1 1 上に、ゲート絶縁膜 1 2 が形成され、この上にフローティングゲート 2 7 が形成されている。フローティングゲート 2 3 上には、絶縁膜 2 8 が形成され、この上にコントロールゲート 2 9 が形成されている。ゲート絶縁膜 1 2 を挟むように  $p^+$  ソース領域 1 4 及び  $p^+$  ドレイン領域 1 5 が形成されている。コントロールゲート 2 9 は、外部端子に接続してエージングデバイスが形成されている。

## 【 0 1 2 8 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルや M P U が接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコー

ダーが接続されている。

【 0 1 2 9 】

図 3 2 は、このようなエージングデバイスのフローティングゲート 2 7 に電子を注入する方法を説明する図である。

【 0 1 3 0 】

先ず、コントロールゲート 2 9 に正の電圧  $V_1 > 0$  を印加して、FN トンネリングによって n 型半導体基板 1 1 からフローティングゲート 2 7 に電子を注入する。

【 0 1 3 1 】

図 3 3 は、フローティングゲート 2 7 に電子を注入する別の方法を示す図である。

【 0 1 3 2 】

コントロールゲート 2 9 に負の電圧  $V_1 < 0$  を印加して、FN トンネリングによってコントロールゲート 2 9 からフローティングゲート 2 7 に電子を注入する。

【 0 1 3 3 】

このように、コントロールゲート 2 9 に印加する電圧  $V_1$  が FN トンネリングを生じさせるほど十分高ければ正負極性によらずコントロールゲート 2 7 に電子を注入することが出来る。

【 0 1 3 4 】

また、コントロールゲート 2 7 と半導体基板 1 1 間のゲート絶縁膜 1 2 の厚さが十分薄ければ、あるいは、コントロールゲート 2 9 とフローティングゲート 2 7 間の絶縁膜 2 8 の厚さが十分薄ければ、直接トンネリングによる電子の注入も可能である。

この後、コントロールゲート 2 9 の電圧  $V_1$  を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【 0 1 3 5 】

こうすることで、電圧  $V_1$  が 0 ボルトでも、ソース領域 1 4 及びドレイン領域 1 5 間が導通状態となる。こうしてエージングデバイスが導通状態となる。

## 【 0 1 3 6 】

次に、図 3 4 及び図 3 5 に示すように、フローティングゲート 2 7 から、直接トンネリングによるリーク電流によって電子が半導体基板 1 1、ソース領域 1 4、ドレイン領域 1 5 及びコントロールゲート 2 9 に抜け出る。こうして時間の経過と共にチャネルに掛かる電界が弱くなる。こうしてチャネルが反転しなくなったとき、ソース領域 1 4 及びドレイン領域 1 5 の間に電流が流れなくなる。すなわちエージングデバイスがオフ状態となる。

## 【 0 1 3 7 】

フローティングゲート 2 7 と半導体基板 1 1 の間のゲート絶縁膜 1 2 がフローティングゲート 2 7 とコントロールゲート 2 9 の間の絶縁膜 2 8 より薄ければ、図 3 4 に示す電子の放出が顕著になる。一方フローティングゲート 2 7 とコントロールゲート 2 9 の間の絶縁膜 2 8 がフローティングゲート 2 7 と半導体基板 1 1 の間のゲート絶縁膜 1 2 より薄ければ、図 3 5 に示す電子の放出が顕著になる。絶縁膜 2 8 とゲート絶縁膜 1 2 が同じ程度に薄ければ電子の放出は両方のリーク電流の和になる。

## 【 0 1 3 8 】

エージングデバイスの有効期限は、すなわちエージングデバイスがオフ状態となる時間は、フローティングゲート 2 7 に蓄積する電子の量に比例し、拡散電流及び直接トンネルゲートリークに反比例するので、電子の注入時間、ゲート体積、接合面積、接合の濃度、絶縁膜厚、チャネル面積、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【 0 1 3 9 】

また、n 型半導体基板を用いる代わりに p 型半導体基板、p 型拡散層のソース及びドレインの代わりに n 型拡散層のソースとドレインからなるエージングデバイスも同様に実現できる。この場合、最初に浮遊ゲートに注入するのが正電荷（電子の FN トンネル放出で実現）になり、放出されるのも正電荷（電子の直接トンネル注入で実現）になるだけで、動作原理も構造も同様である。

## 【 0 1 4 0 】

（実施形態 2 1）



図 3 6 A は、エージングデバイスの斜視図である。このエージングデバイスは、 $n$  型半導体基板 1 1 上に、ゲート絶縁膜 1 2 が形成され、この上にフローティングゲート 2 7 が形成されている。フローティングゲート 2 7 に隣接するように、 $n$  型半導体基板 1 1 上にコントロールゲート 2 9 が形成されている。

## 【 0 1 4 1 】

フローティングゲート 2 7 とコントロールゲート 2 9 間には絶縁膜が形成されているが図 3 6 A には示していない。

## 【 0 1 4 2 】

ゲート絶縁膜 1 2 を挟むように  $p^+$  ソース領域 1 4 及び  $p^+$  ドレイン領域 1 5 が形成されている。コントロールゲート 2 9 は、外部端子に接続してエージングデバイスが形成されている。

## 【 0 1 4 3 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルや MPU が接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコーダーが接続されている。

## 【 0 1 4 4 】

図 3 6 B は、このようなエージングデバイスを上面から見た図である。

## 【 0 1 4 5 】

図 3 6 B に示すように、フローティングゲート 2 7 の短辺に対向する位置にコントロールゲート 2 9 が形成され、その間には図 3 6 A で省略した絶縁膜 2 8 が形成されている。また、コントロールゲート 2 9 は、拡散層であるソース領域 1 4 及びドレイン領域 1 5 から空間的に隔離された位置に配置する。こうすることによって、コントロールゲート 2 9 が拡散層に与える影響を小さくすることが出来る。

## 【 0 1 4 6 】

また、ゲート幅（短辺）の異なるデバイスを同一基板上に作りこむことでエージングデバイスがオフする状態になる時間を異ならせることができる。

## 【 0 1 4 7 】

図 3 7 は、このようなエージングデバイスのフローティングゲート 2 7 に電子

を注入する方法を説明する図である。

【0148】

先ず、コントロールゲート29に負の電圧 $V_1 < 0$ を印加し、FNトンネリングによりコントロールゲート29からフローティングゲート27に電子を注入する。

【0149】

コントロールゲート29とフローティングゲート27間の絶縁膜28の厚さが十分薄ければ、直接トンネリングによる電子の注入も可能である。こうすることでソース領域14及びドレイン領域15が導通状態となる。

【0150】

図38は、このようなエージングデバイスのフローティングゲート27からコントロールゲート29に電子が放出している図である。

【0151】

フローティングゲート27とコントロールゲート29が向き合う面積を調節することによって、寿命を所定の範囲に収めることが出来る。

【0152】

また、n型半導体基板を用いる代わりにp型半導体基板、p型拡散層のソース及びドレインの代わりにn型拡散層のソースとドレインからなるエージングデバイスも同様に実現できる。この場合、最初に浮遊ゲートに注入するのが正電荷（電子のFNトンネル放出で実現）になり、放出されるのも正電荷（電子の直接トンネル注入で実現）になるだけで、動作原理も構造も同様である。

【0153】

（実施形態22）

図39は、エージングデバイスの断面図である。このエージングデバイスは、n型半導体基板11上に、ゲート絶縁膜12が形成され、この上にフローティングゲート27が形成されている。フローティングゲート27上には、絶縁膜28が形成され、この上にコントロールゲート29が形成されている。ゲート絶縁膜12を挟むように $p^+$ ソース領域14及び $p^+$ ドレイン領域15が形成されている。コントロールゲート29は、外部端子に接続してエージングデバイスが形成さ

れている。

【 0 1 5 4 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルやMPUが接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコーダーが接続されている。

【 0 1 5 5 】

このエージングデバイスは、ゲート絶縁膜 1 2 がその端部 3 0 において、他の部分よりも薄くなっている。

【 0 1 5 6 】

そしてフローティングゲート 2 7 は、ソース領域 1 4 上に張り出している。

【 0 1 5 7 】

図 4 0 は、このようなエージングデバイスのフローティングゲート 2 7 に電子を注入する方法を説明する図である。

【 0 1 5 8 】

図 4 0 に示すように、コントロールゲート 2 9 に正の電圧  $V_1 > 0$  を印加して、FNトンネリングにより半導体基板 1 1 からフローティングゲート 2 7 に電子を注入する。

【 0 1 5 9 】

半導体基板 1 1 とフローティングゲート 2 7 間のゲート絶縁膜 1 2 の厚さが十分薄ければ、直接トンネリングにより電子を注入することも可能である。

【 0 1 6 0 】

図 4 1 は、このようなエージングデバイスのフローティングゲート 2 7 に電子を注入する別の方法を説明する図である。

【 0 1 6 1 】

図 4 1 に示すように、コントロールゲート 2 9 に負の電圧  $V_1 < 0$  を印加して、FNトンネリングによりコントロールゲート 2 9 からフローティングゲート 2 7 に電子を注入する。

【 0 1 6 2 】

コントロールゲート 2 9 とフローティングゲート 2 7 間のゲート絶縁膜 1 2 が

十分薄ければ、直接トンネリングにより電子を注入することも可能である。

【0163】

フローティングゲート27に電子を注入後、コントロールゲート29に印加してあった電圧V1を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

【0164】

こうすることでソース領域14及びドレイン領域15を導通状態にする。すなわちコントロールゲート29の電圧が0ボルトにおいても、オン状態となる。

【0165】

図42に示すように、フローティングゲート27に余分に蓄積した電子は、ゲート絶縁膜12の薄くなった端部30を通して、直接トンネルゲートリークによってソース領域14へ放出される。こうして、時間の経過と共にチャンネルに掛かる電界が弱くなり、チャンネルが反転しなくなったとき、ソース領域14及びドレイン領域15間に電流が流れなくなる。こうして第1の機能ブロック1と第2の機能ブロック2がアクセス不能となる。

【0166】

エージングデバイスの有効期限は、ゲートに注入する負電荷量に比例し、直接トンネルゲートリークに反比例するので、注入時間、フローティングゲート27の体積、フローティングゲート27がソース領域14上に出っ張っている端部30のゲート絶縁膜12の厚さ、フローティングゲート27がソース領域14上に出っ張っている端部30の重なり面積等を調節することによって、所定の範囲に収めることが出来る。

【0167】

また、n型半導体基板を用いる代わりにp型半導体基板、p型拡散層のソース及びドレインの代わりにn型拡散層のソースとドレインからなるエージングデバイスも同様に実現できる。この場合、最初に浮遊ゲートに注入するのが正電荷（電子のFNトンネル放出で実現）になり、放出されるのも正電荷（電子の直接トンネル注入で実現）になるだけで、動作原理も構造も同様である。また、端部30をドレイン15側に作っても同様である。

【 0 1 6 8 】

(実施形態 2 3)

図 4 3 は、エージングデバイスの断面図である。このエージングデバイスは、 $n$  型半導体基板 1 1 上に、ゲート絶縁膜 1 2 が形成され、この上にフローティングゲート 2 7 が形成されている。フローティングゲート 2 7 上には、絶縁膜 2 8 が形成され、この上にコントロールゲート 2 9 が形成されている。コントロールゲート 2 9 及びフローティングゲートの側面には、側面ゲート 3 1 が形成されている。側面ゲート 3 1 とコントロールゲート 2 9、フローティングゲート 2 7 間には、絶縁膜が形成されているが図示していない。

【 0 1 6 9 】

ゲート絶縁膜 1 2 を挟むように  $p^+$  ソース領域 1 4 及び  $p^+$  ドレイン領域 1 5 が形成されている。コントロールゲート 2 9 は、外部端子に接続してエージングデバイスが形成されている。

【 0 1 7 0 】

エージングデバイスのソース領域 1 4 は第 1 の機能ブロック 1 としてメモリセルや MPU が接続され、ドレイン領域 1 5 は第 2 の機能ブロック 2 としてデコーダーが接続されている。

【 0 1 7 1 】

このエージングデバイスは、ゲート絶縁膜 1 2 が側壁ゲート 3 1 側の端部 3 0 において、他の部分よりも厚くなっている。

【 0 1 7 2 】

図 4 4 は、フローティングゲート 2 7 に半導体基板 1 1 から電子を注入する方法を説明する図である。

【 0 1 7 3 】

図 4 4 に示すように、コントロールゲート 2 9 に正の電圧  $V_1 > 0$  を印加して、FN トンネリングにより半導体基板 1 1 からフローティングゲート 2 7 に電子を注入する。

【 0 1 7 4 】

半導体基板 1 1 とフローティングゲート 2 7 間のゲート絶縁膜 1 2 の厚さが十

分薄ければ、直接トンネリングによる電子の注入も可能である。

## 【0175】

図45は、フローティングゲート27に電子を注入する別の方法を説明する図である。

## 【0176】

図45に示すように、コントロールゲート29に負の電圧 $V_1 < 0$ を印加して、FNトンネリングによりコントロールゲート29からフローティングゲート27に電子を注入する。

## 【0177】

コントロールゲート29とフローティングゲート27間の絶縁膜28が十分薄ければ、直接トンネリングによる電子の注入も可能である。

## 【0178】

フローティングゲート27に電子を注入後、コントロールゲート29に印加してあった電圧 $V_1$ を切る。あるいは、端子そのものを物理的に剥ぎ取ってから、パッケージングする。

## 【0179】

こうすることでソース領域14及びドレイン領域15を導通状態にする。すなわちコントロールゲート29の電圧が0ボルトにおいても、オン状態となる。

## 【0180】

図46に示すように、フローティングゲート27に余分に蓄積した電子は、直接トンネルゲートリークによって半導体基板11、コントロールゲート29及び側面ゲート31に放出される。

## 【0181】

こうして、時間の経過と共にチャネルに掛かる電界が弱くなり、チャネルが反転しなくなったとき、ソース領域14及びドレイン領域15間に電流が流れなくなってオフ状態となる。

## 【0182】

エージングデバイスの有効期限は、フローティングゲート27に蓄積する負電荷量に比例し、直接トンネルゲートリークに反比例するので、電子の注入時間、

フローティングゲート 27 の体積、ゲート面積、フローティングゲート 27 と側面ゲート 31 の向き合う面積、半導体基板 11 とフローティングゲート 27 間のゲート絶縁膜 12 の厚さ、フローティングゲート 27 とコントロールゲート 29 間の絶縁膜 28 の厚さ、フローティングゲート 27 と側面ゲート 31 間の絶縁膜（図示せず）の厚さ、エクステンション領域等を調節することによって、所定の範囲に収めることが出来る。

## 【0183】

また、n 型半導体基板を用いる代わりに p 型半導体基板、p 型拡散層のソース及びドレインの代わりに n 型拡散層のソースとドレインからなるエージングデバイスも同様に実現できる。この場合、最初に浮遊ゲートに注入するのが正電荷（電子の FN トンネル放出で実現）になり、放出されるのも正電荷（電子の直接トンネル注入で実現）になるだけで、動作原理も構造も同様である。また、側面ゲート 31 及び端部 30 は、ソース領域 14 側に形成してもよい。

## 【0184】

次に、上記実施形態に示したエージングデバイスが導通状態から非導通状態となる時間（寿命）を計算する方法を示す。

## 【0185】

先ず、電荷を保持するゲート電極（フローティングゲートを含む）の面積を  $S$ 、そのゲート電極下のゲート絶縁膜の厚さを  $T_{ox}$ 、誘電率を  $\epsilon_{ox}$  とする。そしてこのゲート絶縁膜のしきい電圧を  $V_{th}$  とし、このゲートからの漏れ電流を  $I_{ag}$  とすると、エージングデバイスの寿命を以下の数式で計算できる。

## 【0186】

【数 1】

$$\tau_{ag} = \frac{\epsilon_{ox} S}{T_{ox}} \left[ \frac{\ln(I_{ag}(\Delta_0))}{\left(\frac{\partial I_{ag}}{\partial \Delta}\right)_{\Delta_0}} - \frac{\ln(I_{ag}(\Delta_{ag}))}{\left(\frac{\partial I_{ag}}{\partial \Delta}\right)_{\Delta_{ag}}} \right]$$

## 【0187】

ただし、

【 0 1 8 8 】

【数 2】

$$\Delta_0 = \frac{Tox}{\epsilon_{OX}} \cdot Q_s, \quad \Delta_{ag} = B_0 \cdot \left( \sqrt{1 + \frac{2|V_{th}|}{B_0}} - 1 \right),$$

$$B_0 = \epsilon_{si} \cdot q \cdot N_B \cdot Tox^2 / \epsilon_{OX}^2$$

【 0 1 8 9 】

であり、 $Q_s$ は、ゲート電極に注入された電荷によるゲート電極下の表面電荷密度、 $\epsilon_{Si}$ はシリコンの誘電率、 $q$ は素電荷、 $N_B$ は基板濃度である。 $I_{ag}$ は、実施形態によって表式が異なる。実施形態 8 及び実施形態 9 の PN 接合をゲート電極に接続した例では、

【 0 1 9 0 】

【数 3】

$$I_{ag}(\Delta(t)) = qA \left[ \frac{1}{2} \frac{n_i}{\tau_0} W_D \exp\left(\frac{q \cdot V_{eff}(t)}{2k_B T}\right) + \left(\frac{D_e}{L_e} n_{p0} + \frac{D_h}{L_h} p_{n0}\right) \cdot \left(\exp\left(\frac{q \cdot V_{eff}(t)}{k_B T}\right) - 1\right) \right],$$

$$V_{eff}(t) = \frac{B_0}{2} \cdot \left[ \left(1 + \frac{\Delta(t)}{B_0}\right)^2 - 1 \right]$$

【 0 1 9 1 】

の式が成り立つ。ここで、 $A$ は接合面積、 $\Delta(t)$ はエージングポテンシャル、 $t$ は時間、 $n_i$ は真性キャリア濃度、 $\tau_0$ は空乏層内でのキャリアの寿命、 $W_D$ は接合周りの空乏層幅、 $k_B$ はボルツマン定数、 $T$ は絶対温度、 $D_e$ は電子の拡散係数、 $L_e$ は電子の拡散長、 $n_{p0}$ は p 型シリコン内での電子濃度、 $D_h$ は正孔の拡散係数、 $L_h$ は正孔の拡散長、 $p_{n0}$ は n 型シリコン内での正孔濃度である。

【 0 1 9 2 】

実施形態 10 から実施形態 13 に対応する  $I_{ag}$  は次の式で与えられる。

【 0 1 9 3 】



【数 4】

$$I_{ag}(\Delta(t)) = qA \left[ \frac{1}{2} \frac{n_i}{\tau_0} W_D \exp\left(\frac{q \cdot V_{eff}(t)}{2k_B T}\right) + \left(\frac{D_e}{L_e} n_{p0} + \frac{D_h}{L_h} P_{n0}\right) \cdot \left(\exp\left(\frac{q(V_{eff}(t) - V_B)}{k_B T}\right) - 1\right) \right]$$

【0194】

ただし、 $V_B$ はベース電圧である。

【0195】

実施形態14及び実施形態15のショットキー接合を用いた場合は、

【0196】

【数 5】

$$I_{ag} = A \cdot R \cdot T^2 \exp\left(-\frac{q \phi_B}{k_B T}\right) \cdot \left[\exp\left(\frac{q \cdot V_{eff}(t)}{k_B T}\right) - 1\right]$$

【0197】

となる。ただし、 $R$ はリチャードソン定数、 $\phi_B$ はショットキーバリアの高さである。

実施形態16から実施形態19に対応する $I_{ag}$ は次の式で与えられる。

【0198】

【数 6】

$$I_{ag}(\Delta(t)) = \frac{W_G}{L_G} \mu_n C_{OX} \left[ (V_G - V_{TH}) V_{eff}(t) - (V_{eff}(t))^2 \right]$$

【0199】

ただし、 $W_G$ は電荷を保持させるゲートに接続するMOSFETのゲート幅、 $L_G$ は電荷を保持させるゲートに接続するMOSFETのゲート長、 $\mu_n$ は電荷を保持させるゲートに接続するMOSFETのモビリティ、 $C_{OX}$ は電荷を保持させるゲートに接続するMOSFETのゲート容量、 $V_G$ は電荷を保持させるゲートに接続するMOSFETのゲートに印加する電圧である。

【0200】

実施形態20から実施形態例23に対応する $I_{ag}$ は次の式である。

【0201】

【数7】

$$I_{ag}(\Delta(t)) = A \frac{24qm_{DE}}{\pi^2 h^3} \int dE \cdot \sqrt{(E-EC_1) \cdot (E-EC_2)} \cdot (f_1(\Delta(t)) - f_2) \times D(E)$$

【0202】

ただし、 $m_{DE}$ は状態密度有効質量、 $EC_1$ は浮遊ゲートの伝導帯端、 $EC_2$ は制御ゲートの伝導帯端、 $f_1$ は浮遊ゲートでの電子の占有確率、 $f_2$ は制御ゲートでの電子の占有確率、 $D(E)$ は、エネルギーEの電子が浮遊ゲートと制御ゲートの間をトンネルする確立である。また、計算方法は、特願平2000-267574に開示している。

【0203】

以上で本発明の $I_{ag}$ の表式をすべて記述した。続いて、一例としてPN接合を用いた $I_{ag}$ による寿命( $\tau_{ag}$ )の計算結果を示しておく。この計算によって、エージングデバイスの構造を決める様々なパラメータに応じて $\tau_{ag}$ がどのような値を取るのかが明らかになり、製造上の条件やシステムの性能、あるいは、ユーザーの要望などに応じて最適なデバイス構造を決定することができる。尚、他の $I_{ag}$ を用いた計算はここで説明する例とほぼ同様に行えるので詳しい説明は省略する。

【0204】

図47はしきい電圧依存性を表したものである。横軸は、しきい値を示し、縦軸は寿命を示す。

【0205】

このように、しきい電圧を上げると寿命が短くなるのが判る。半導体基板やポリシリコンの不純物濃度を用いて、数週間から数ヶ月の間で寿命を調節することが出来ることを示している。

【0206】

図48は、ゲート絶縁膜の膜厚依存性を示している。横軸はゲート絶縁膜の厚さを示し、縦軸は寿命を示す。

【0207】

このように、ゲート絶縁膜を厚くするとしきい値が高くなり、結果として寿命が短くなる。一年未満の膜厚依存性が弱いため、膜厚依存性を用いるのは、数ヶ月単位で寿命の調整を行う際有利である。

## 【 0 2 0 8 】

図 4 9 は、PN 接合の接合面積に対する依存性を表したものである。横軸は PN 接合の接合面積を示し、縦軸は寿命を示す。

## 【 0 2 0 9 】

このように、接合面積を大きくするとリーク電流が増大し、寿命が縮まるのが判る。ゲート面積にもよるが、大体数ヶ月から数年の寿命調整に適當である。

## 【 0 2 1 0 】

図 5 0 は、PN 接合の不純物濃度依存性を示している。横軸は接合のアクセプター濃度を対数で示し、縦軸は寿命を示す。

## 【 0 2 1 1 】

このように、ドナーもアクセプターも高濃度になるほど寿命は長くなる傾向がある。寿命の調整には、図中で傾きが比較的低い領域を用いるのが有利である。たとえば、ドナー濃度が  $1 \times 10^{16} \text{ cm}^{-3}$  なら、アクセプター濃度  $1 \times 10^{17} \text{ cm}^{-3}$  以上のところではらつきの少ない寿命が設計できる。

## 【 0 2 1 2 】

また、寿命は、図 4 9 にも見られるとおり、接合面積に比例して短くなる。この性質とともに併用すれば小さな誤差の範囲で自由に寿命を調節することが可能となる。

## 【 0 2 1 3 】

次に、本発明の実施形態 8 から実施形態 1 5 に記載した有効期限付き機能利用装置について、これを安価に実現するための積層ゲート構造について説明する。

## 【 0 2 1 4 】

図 5 1 に示すように、ゲート中に pn 接合 3 2 を縦型に形成することによって実施形態 8 に記載の有効期限付き機能利用装置を安価に実現することが可能となる。

## 【 0 2 1 5 】

また、図 5 2 に示すように、ゲート中に n p 接合 3 3 を縦型に形成することによって実施形態 9 に記載の有効期限付き機能利用装置を安価に実現することが可能となる。

【 0 2 1 6 】

実施形態 1 0 から実施形態 1 3 も同様にして、ゲート中に p n p 接合、 $n^+n$  接合、 $p^+p p^+$  接合、n p n 接合を縦型に形成すれば実現できる。

【 0 2 1 7 】

また、図 5 3 及び図 5 4 は、実施形態 1 4 及び実施形態 1 5 を安価に実現するための構造を示す断面図である。

【 0 2 1 8 】

このようにゲート中に縦型にショットキー接合 3 4 或いは 3 5 を形成すればよい。ただし、ショットキー接合の金属部を外部端子側に設置しなければならない。

【 0 2 1 9 】

【発明の効果】

正確な動作寿命を補償することができ、異なる寿命を有する領域を提供でき、寿命の改ざんを防ぐことのできる有効期限付き機能利用装置を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の実施形態 1 にかかる集積回路 ( L S I ) の概念図。

【図 2】 本発明の実施形態 2 にかかる集積回路 ( L S I ) の概念図。

【図 3】 本発明の実施形態 3 にかかる集積回路 ( L S I ) の概念図。

【図 4】 本発明の実施形態 4 にかかる集積回路 ( L S I ) の概念図。

【図 5】 本発明の実施形態 5 にかかる集積回路 ( L S I ) の概念図。

【図 6】 本発明の実施形態 6 にかかる集積回路 ( L S I ) の概念図。

【図 7】 本発明の実施形態 7 にかかる集積回路 ( L S I ) の概念図。

【図 8】 本発明の実施形態 8 にかかるエージングデバイスの断面図。

【図 9】 本発明の実施形態 8 にかかるエージングデバイスの断面図。

【図 1 0】 本発明の実施形態 8 にかかるエージングデバイスの動作原理を示す

図。

【図 1 1】 本発明の実施形態 8 にかかるエージングデバイスの断面図。

【図 1 2】 本発明の実施形態 8 にかかるエージングデバイスの動作原理を示す図。

【図 1 3】 本発明の実施形態 9 にかかるエージングデバイスの断面図。

【図 1 4】 本発明の実施形態 9 にかかるエージングデバイスの断面図。

【図 1 5】 本発明の実施形態 9 にかかるエージングデバイスの動作原理を示す図。

【図 1 6】 本発明の実施形態 9 にかかるエージングデバイスの断面図。

【図 1 7】 本発明の実施形態 9 にかかるエージングデバイスの動作原理を示す図。

【図 1 8】 本発明の実施形態 1 0 にかかるエージングデバイスの断面図。

【図 1 9】 本発明の実施形態 1 0 にかかるエージングデバイスの断面図。

【図 2 0】 本発明の実施形態 1 1 にかかるエージングデバイスの断面図。

【図 2 1】 本発明の実施形態 1 2 にかかるエージングデバイスの断面図。

【図 2 2】 本発明の実施形態 1 2 にかかるエージングデバイスの断面図。

【図 2 3】 本発明の実施形態 1 3 にかかるエージングデバイスの断面図。

【図 2 4】 本発明の実施形態 1 3 にかかるエージングデバイスの断面図。

【図 2 5】 本発明の実施形態 1 4 にかかるエージングデバイスの断面図。

【図 2 6】 本発明の実施形態 1 5 にかかるエージングデバイスの断面図。

【図 2 7】 本発明の実施形態 1 6 にかかるエージングデバイスの断面図。

【図 2 8】 本発明の実施形態 1 7 にかかるエージングデバイスの断面図。

【図 2 9】 本発明の実施形態 1 8 にかかるエージングデバイスの断面図。

【図 3 0】 本発明の実施形態 1 9 にかかるエージングデバイスの断面図。

【図 3 1】 本発明の実施形態 2 0 にかかるエージングデバイスの断面図。

【図 3 2】 本発明の実施形態 2 0 にかかるエージングデバイスの断面図。

【図 3 3】 本発明の実施形態 2 0 にかかるエージングデバイスの断面図。

【図 3 4】 本発明の実施形態 2 0 にかかるエージングデバイスの断面図。

【図 3 5】 本発明の実施形態 2 0 にかかるエージングデバイスの断面図。

【図 3 6】 本発明の実施形態 2 1 にかかるエージングデバイスの A は斜視図、B は上面図。

【図 3 7】 本発明の実施形態 2 1 にかかるエージングデバイスの上面図。

【図 3 8】 本発明の実施形態 2 1 にかかるエージングデバイスの上面図。

【図 3 9】 本発明の実施形態 2 2 にかかるエージングデバイスの断面図。

【図 4 0】 本発明の実施形態 2 2 にかかるエージングデバイスの断面図。

【図 4 1】 本発明の実施形態 2 2 にかかるエージングデバイスの断面図。

【図 4 2】 本発明の実施形態 2 2 にかかるエージングデバイスの断面図。

【図 4 3】 本発明の実施形態 2 3 にかかるエージングデバイスの断面図。

【図 4 4】 本発明の実施形態 2 3 にかかるエージングデバイスの断面図。

【図 4 5】 本発明の実施形態 2 3 にかかるエージングデバイスの断面図。

【図 4 6】 本発明の実施形態 2 3 にかかるエージングデバイスの断面図。

【図 4 7】 寿命のしきい電圧依存性を表したグラフ。

【図 4 8】 寿命のゲート絶縁膜の厚さ依存性を表したグラフ。

【図 4 9】 寿命の接合面積依存性を表したグラフ。

【図 5 0】 寿命の不純物濃度依存性を表したグラフ。

【図 5 1】 本発明の実施形態 8 から実施形態 1 5 にかかるエージングデバイスの一断面構造を示した図。

【図 5 2】 本発明の実施形態 9 にかかるエージングデバイスの一断面構造を示した図。

【図 5 3】 本発明の実施形態 1 4 及び実施形態 1 5 にかかるエージングデバイスの一断面構造を示した図。

【図 5 4】 本発明の実施形態 1 4 及び実施形態 1 5 にかかるエージングデバイスの一断面構造を示した図。

【符号の説明】

1 . . . 第 1 の機能ブロック

2 . . . 第 2 の機能ブロック

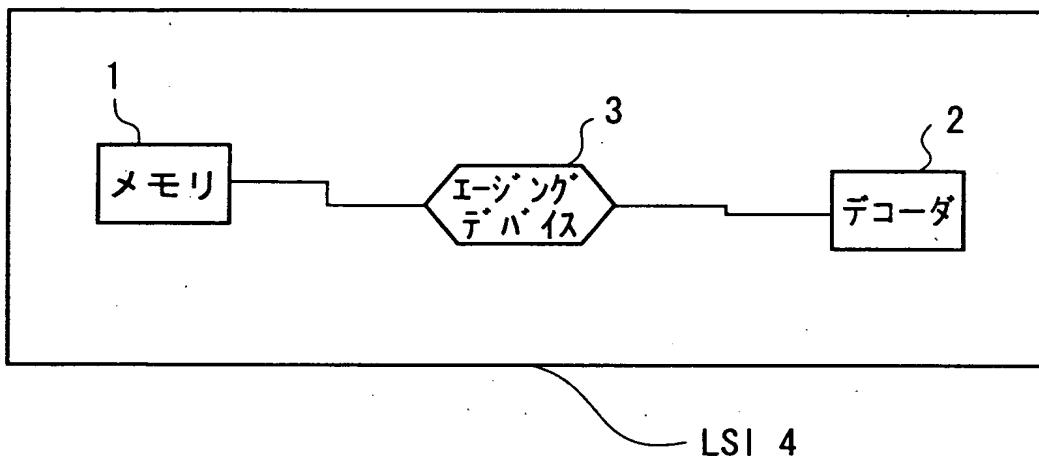
3 . . . エージングデバイス

4 . . . L S I

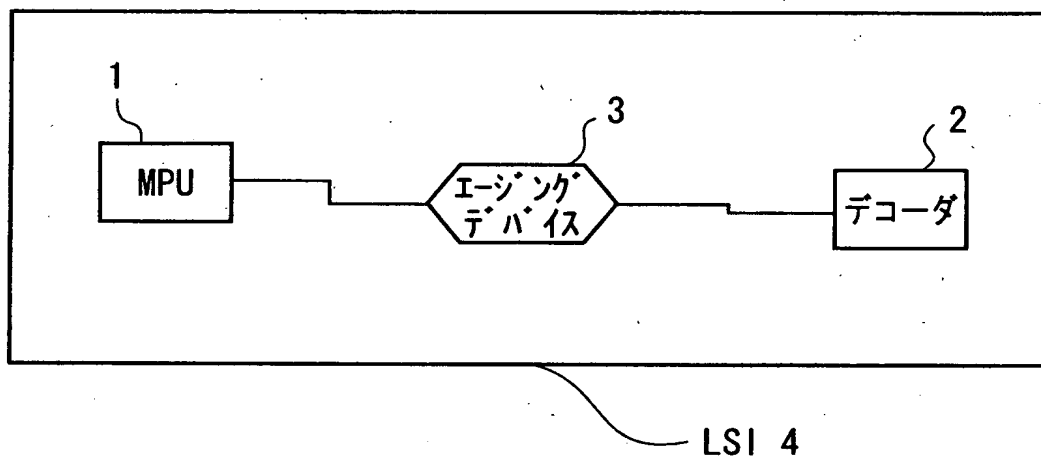
- 1 1 . . . 半導体基板
- 1 2 . . . ゲート絶縁膜
- 1 3 . . . ゲート電極
- 1 4 . . . ソース領域
- 1 5 . . . ドレイン領域
- 1 6 . . . p n 接合
- 1 7 . . . p n p 接合
- 1 8 . . .  $n^+ n n^+$  接合
- 1 9 . . .  $p^+ p p^+$  接合
- 2 0 . . . n p n 接合
- 2 1 . . . ショットキー接合
- 2 2 . . . ショットキー接合
- 2 3 . . . nMOSFET
- 2 4 . . . pMOSFET
- 2 5 . . . nMOSFET
- 2 6 . . . pMOSFET
- 2 7 . . . フローティングゲート
- 2 8 . . . 絶縁膜
- 2 9 . . . コントロールゲート
- 3 0 . . . 端部
- 3 1 . . . 側面ゲート
- 3 2 . . . ゲート中に形成された p n 接合
- 3 3 . . . ゲート中に形成された p n 接合
- 3 4 . . . ゲート中に形成されたショットキー接合
- 3 5 . . . ゲート中に形成されたショットキー接合

【書類名】 図面

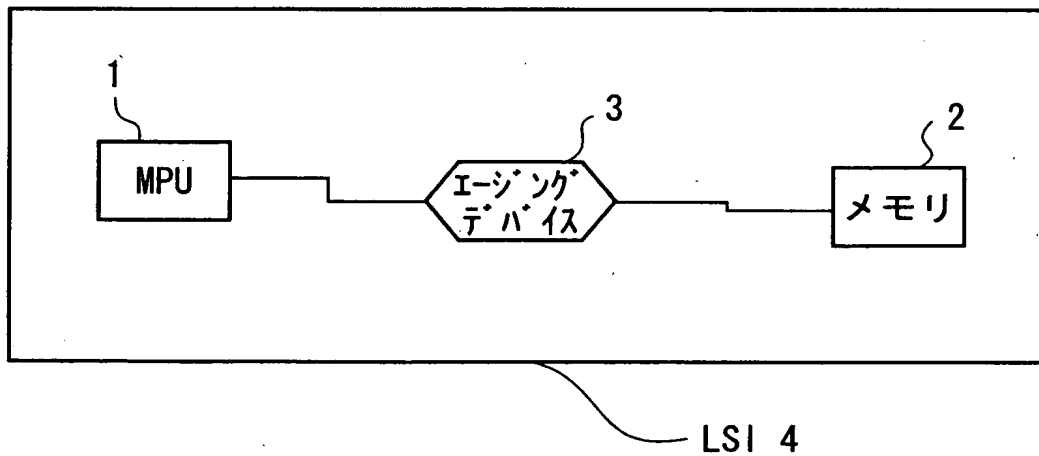
【図1】



【図2】

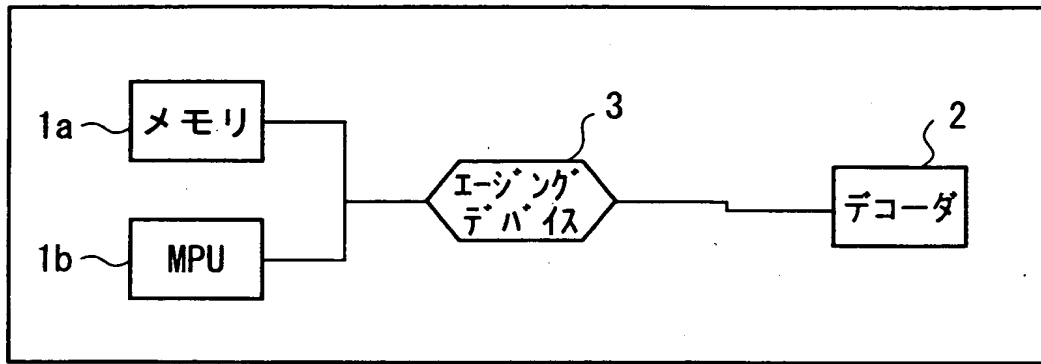


【図3】



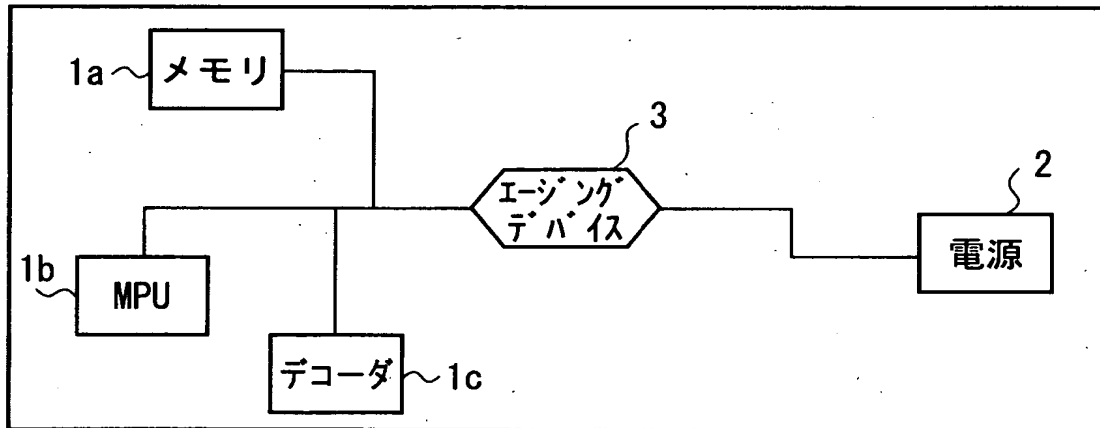


【図 4】



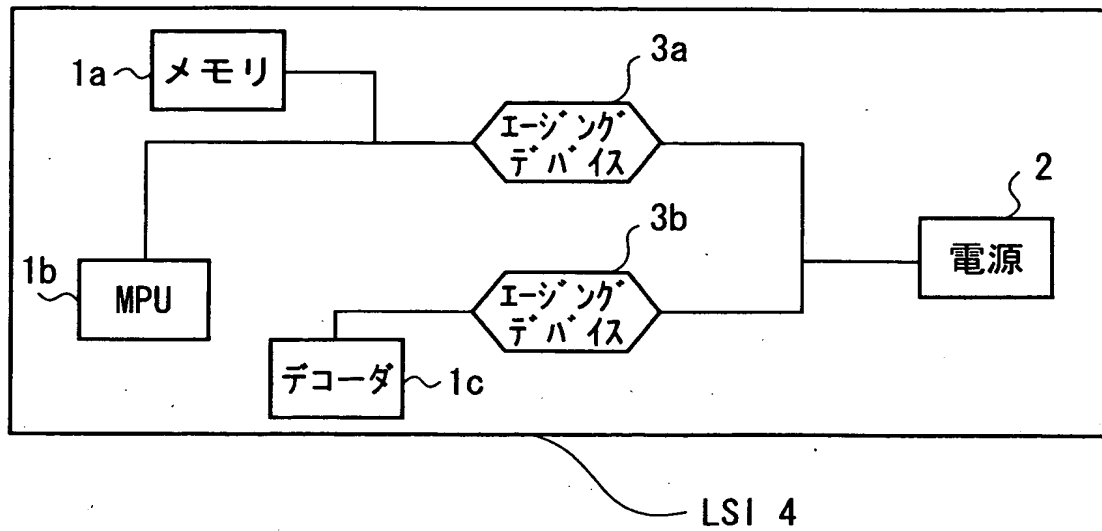
LSI 4

【図 5】

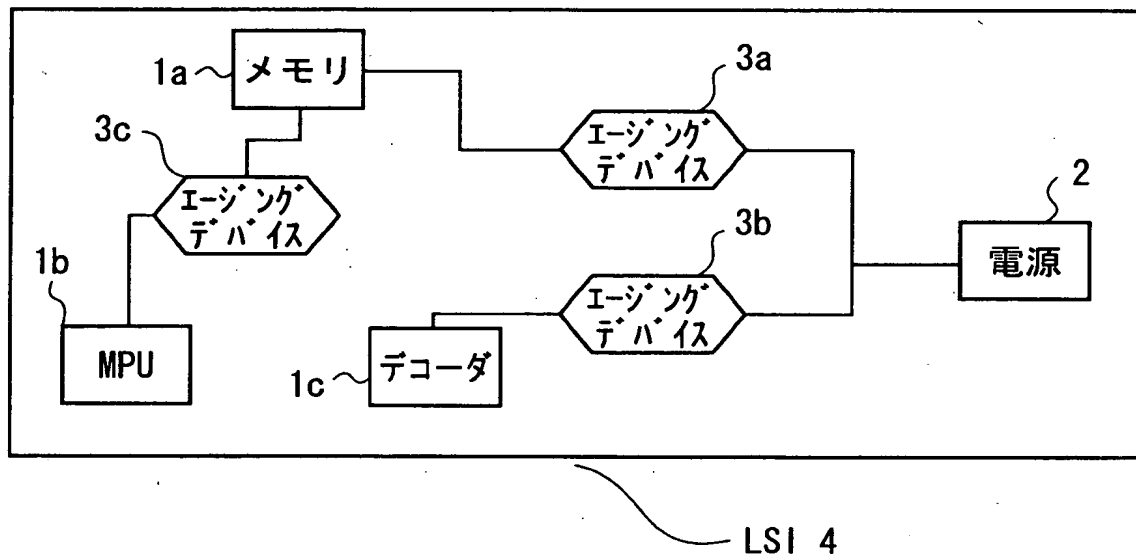


LSI 4

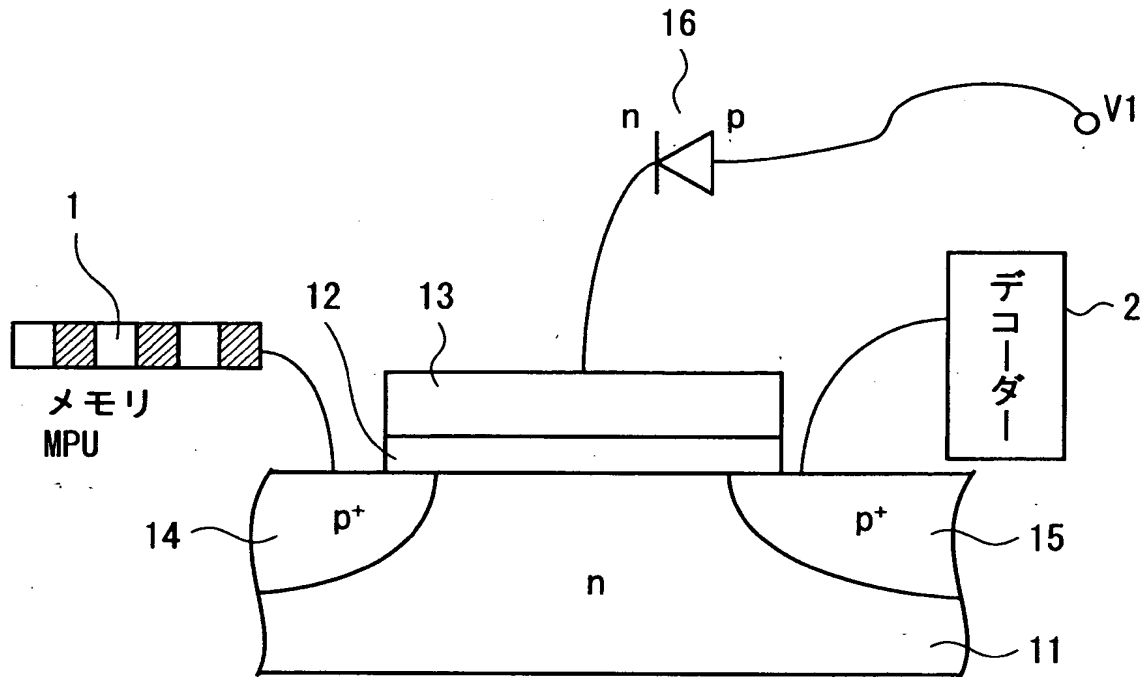
【図 6】



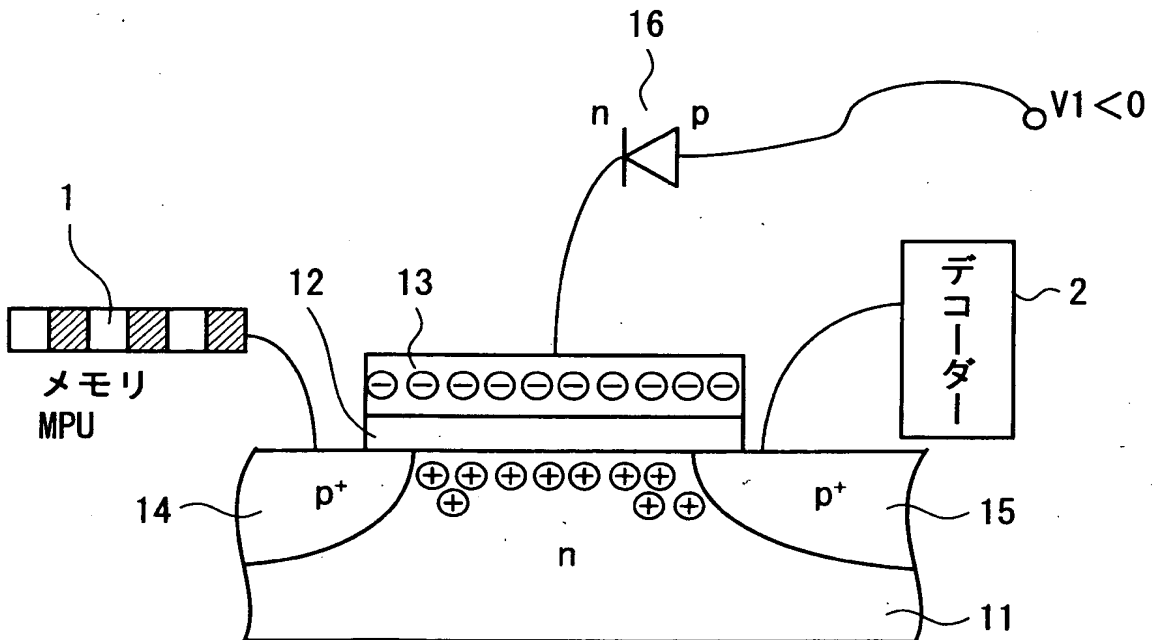
【図 7】



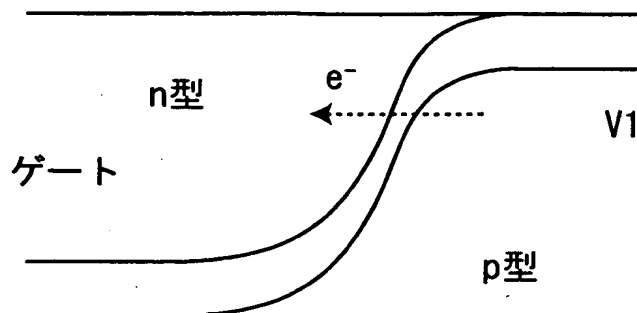
【図 8】



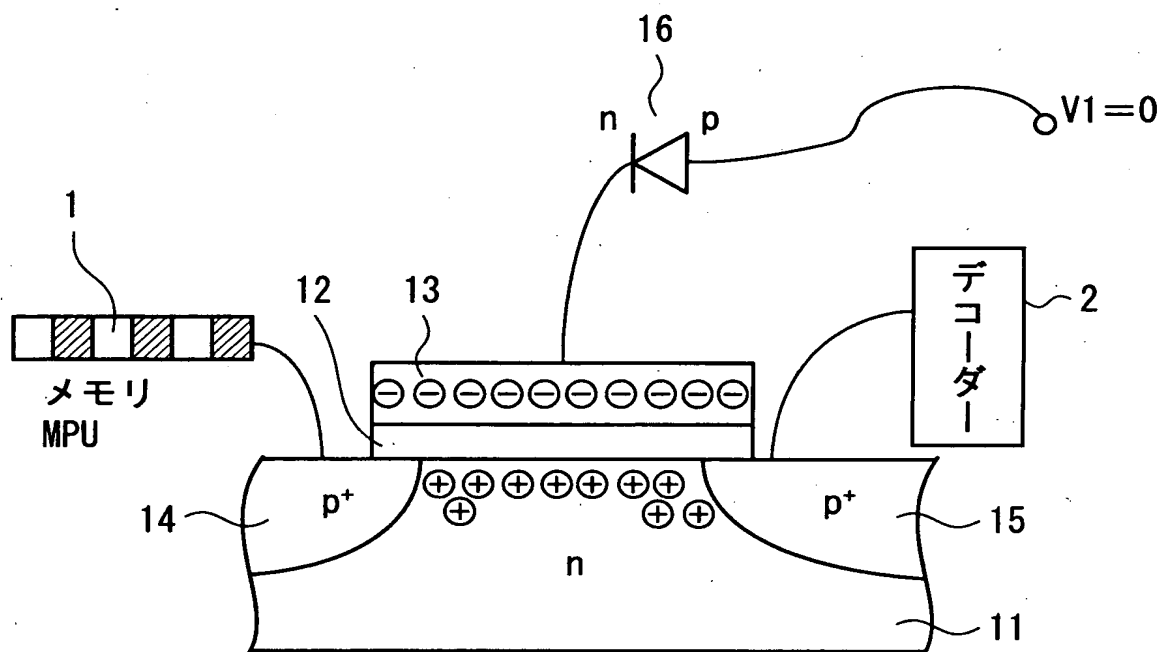
【図 9】



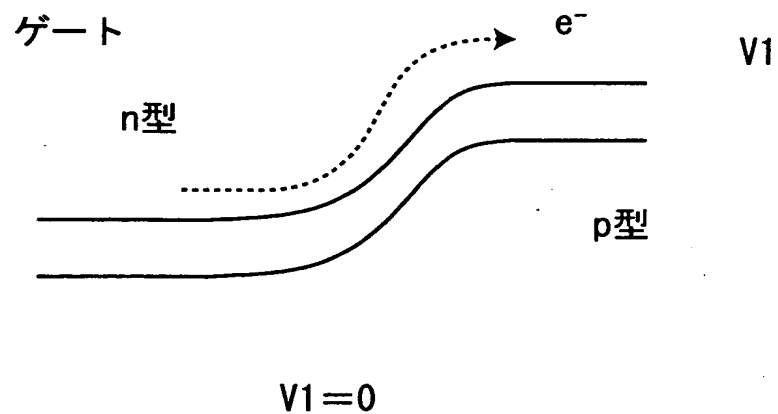
【図 10】


$$V1 < 0$$

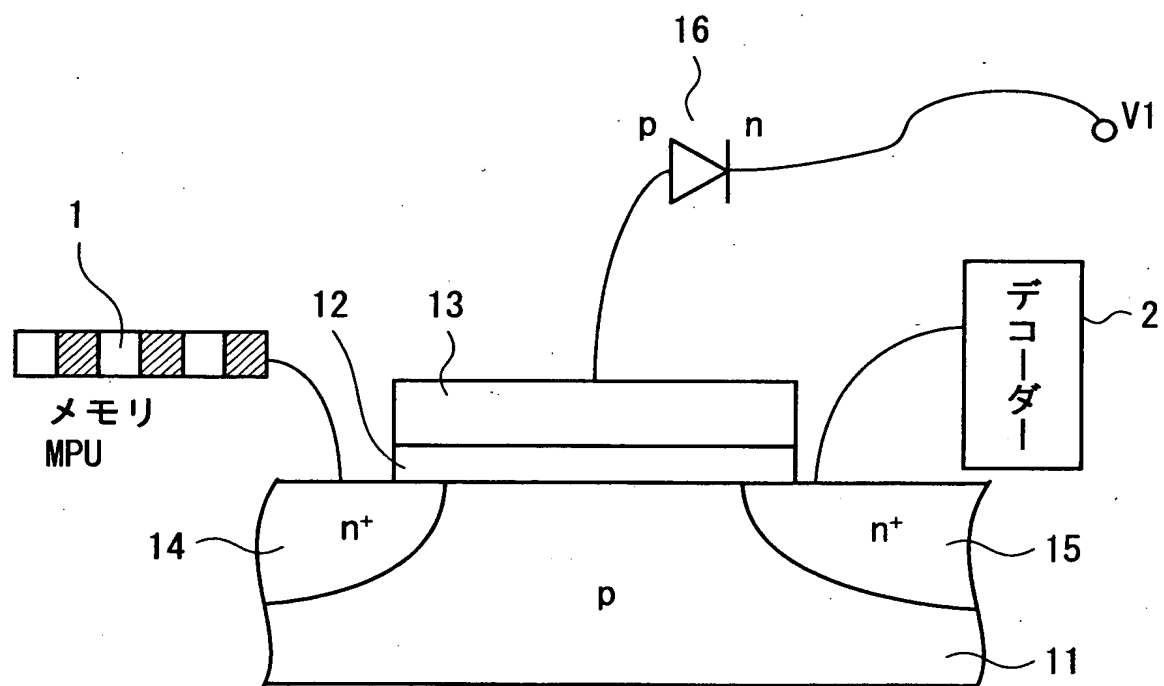
【図 1 1】



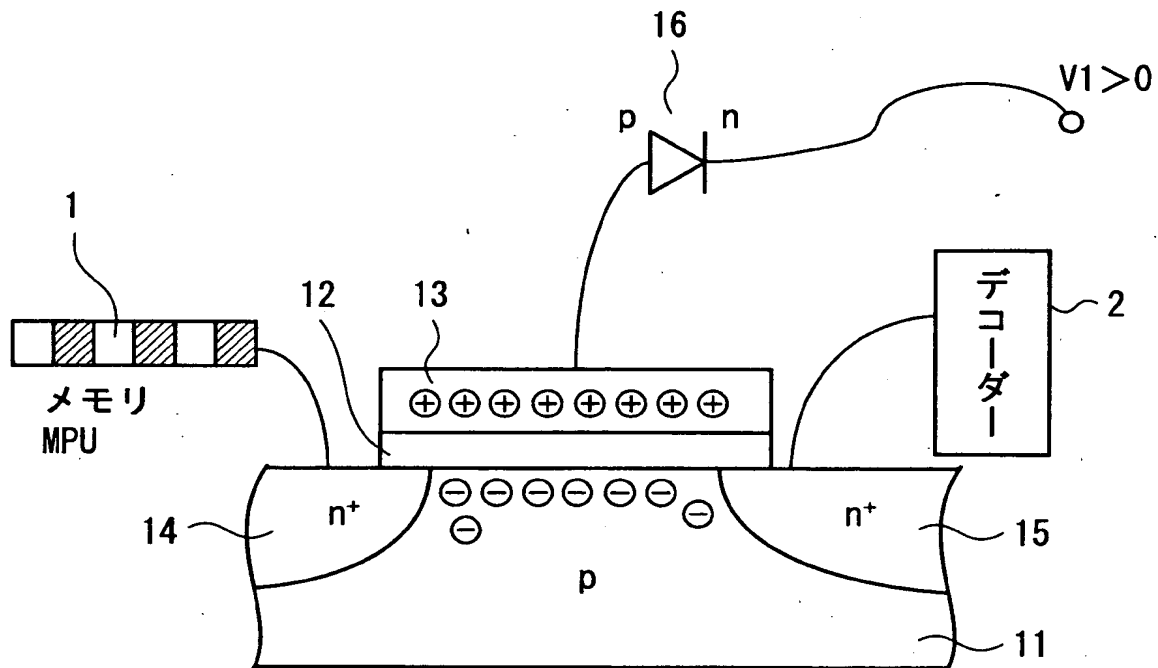
【図12】



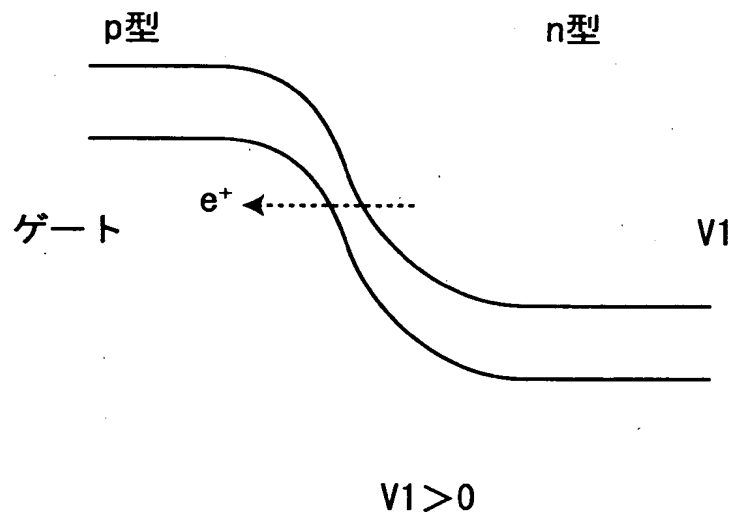
【図13】



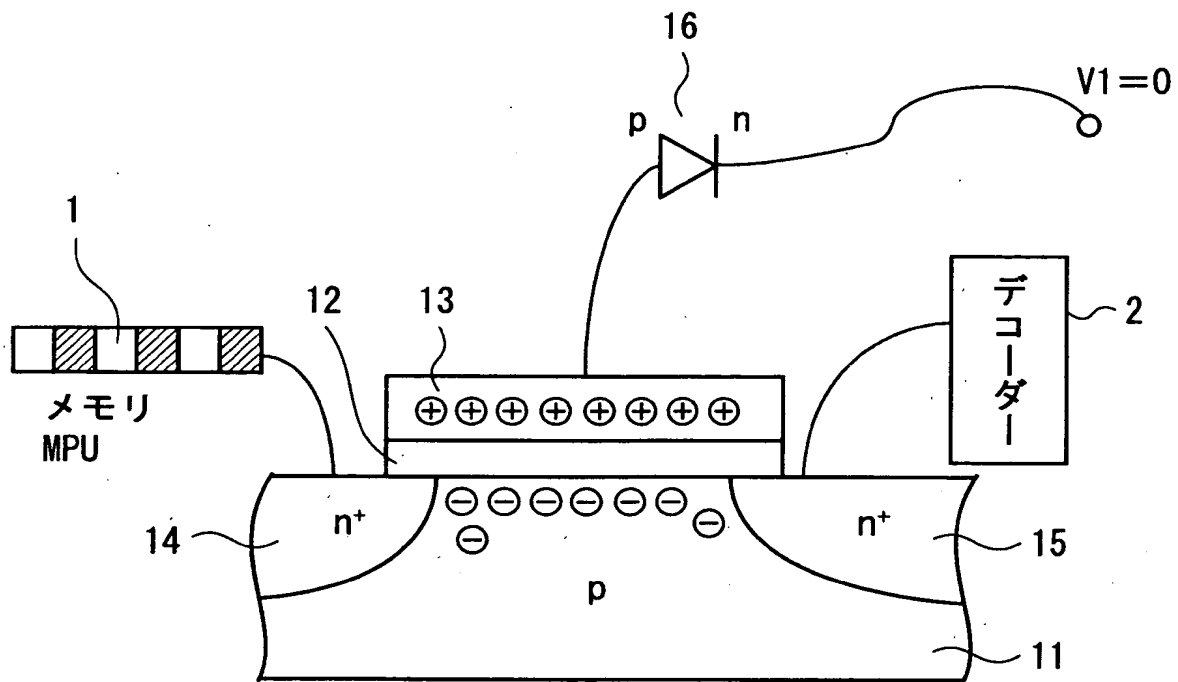
【図14】



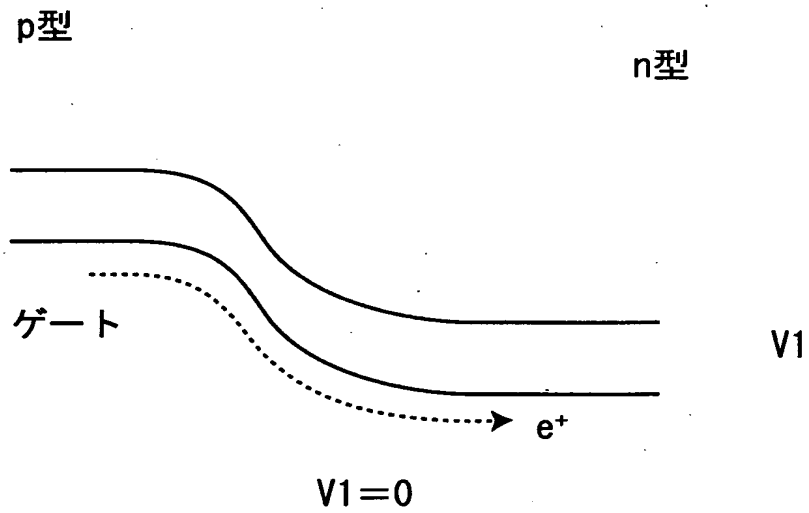
【図15】



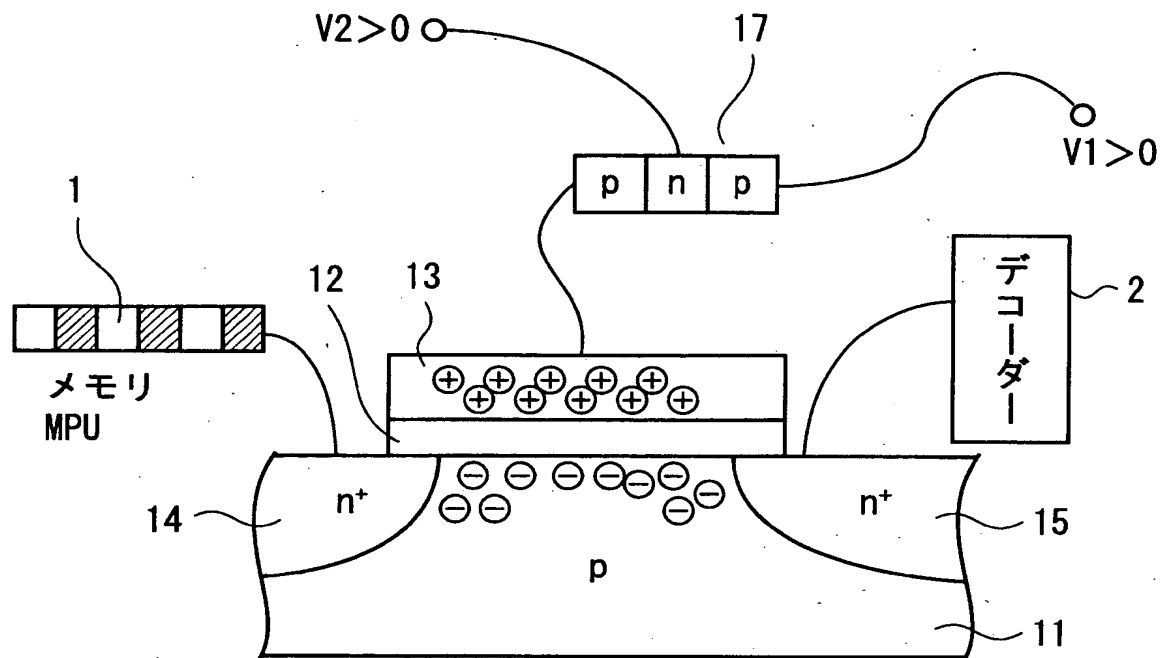
【図16】



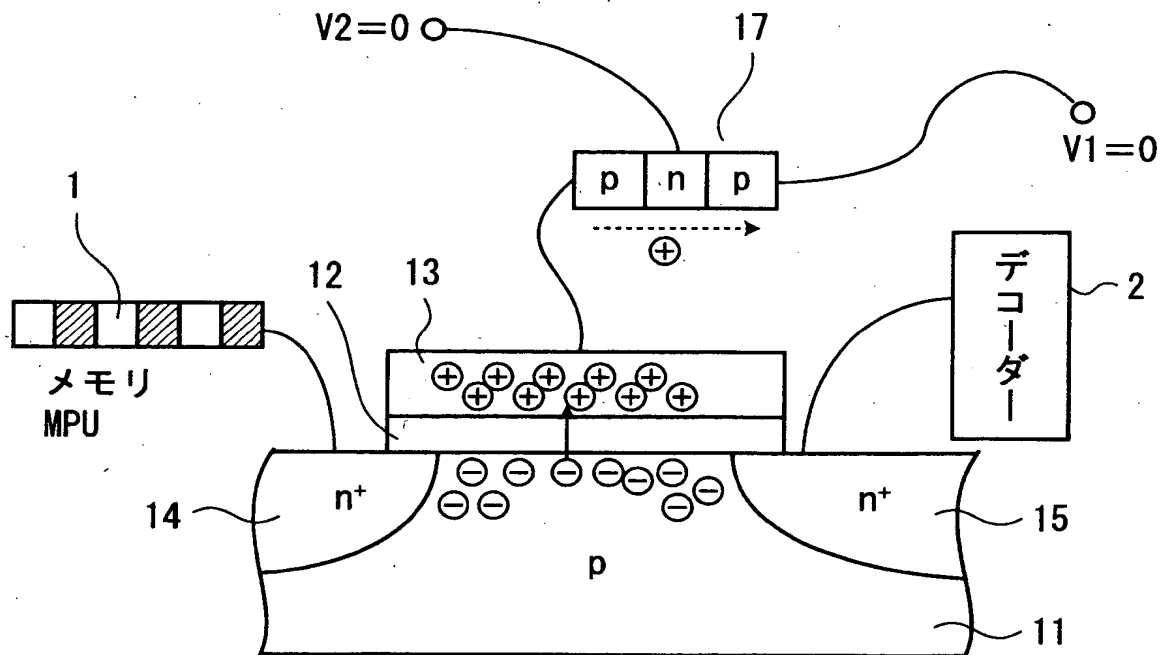
【図17】



【図18】

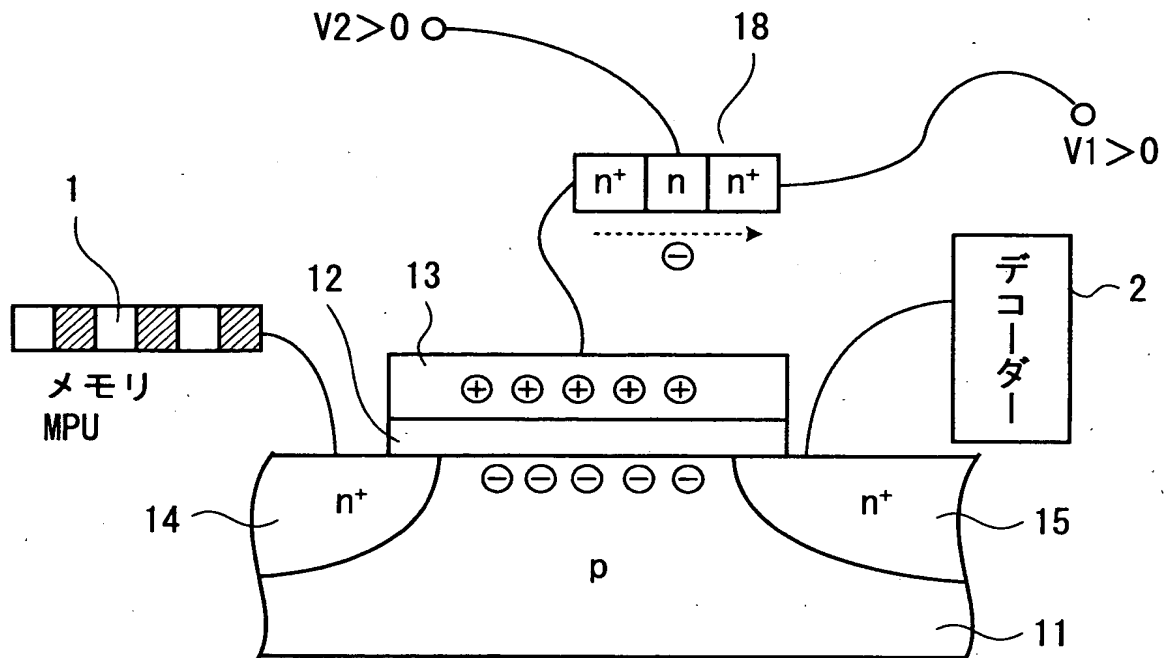


【図19】

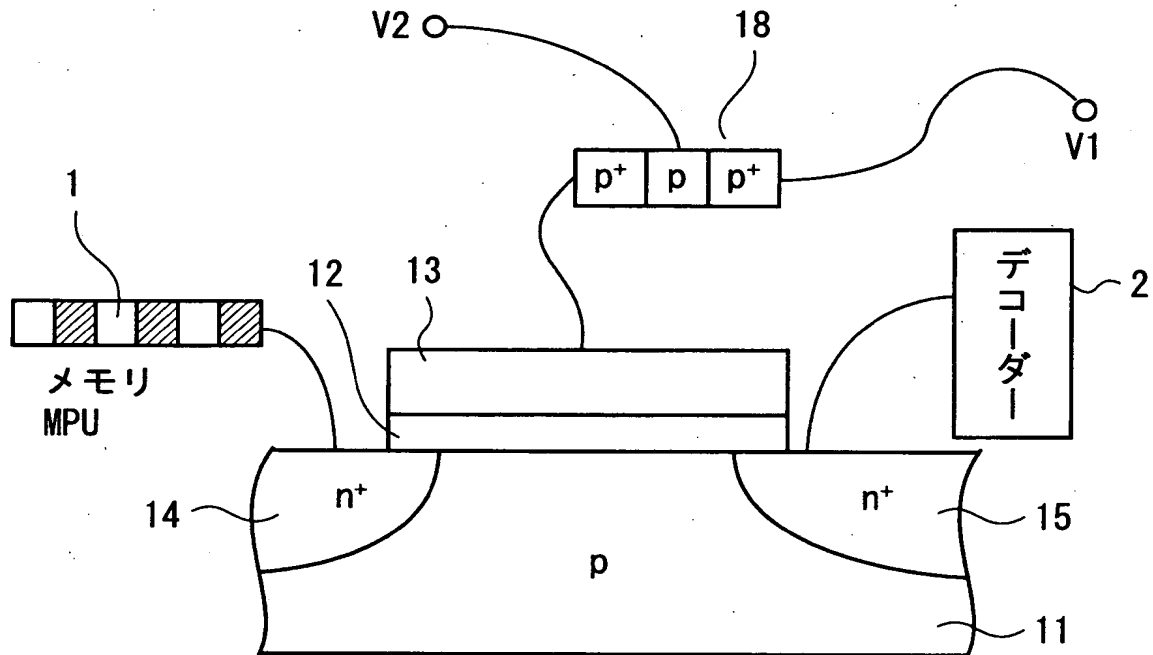




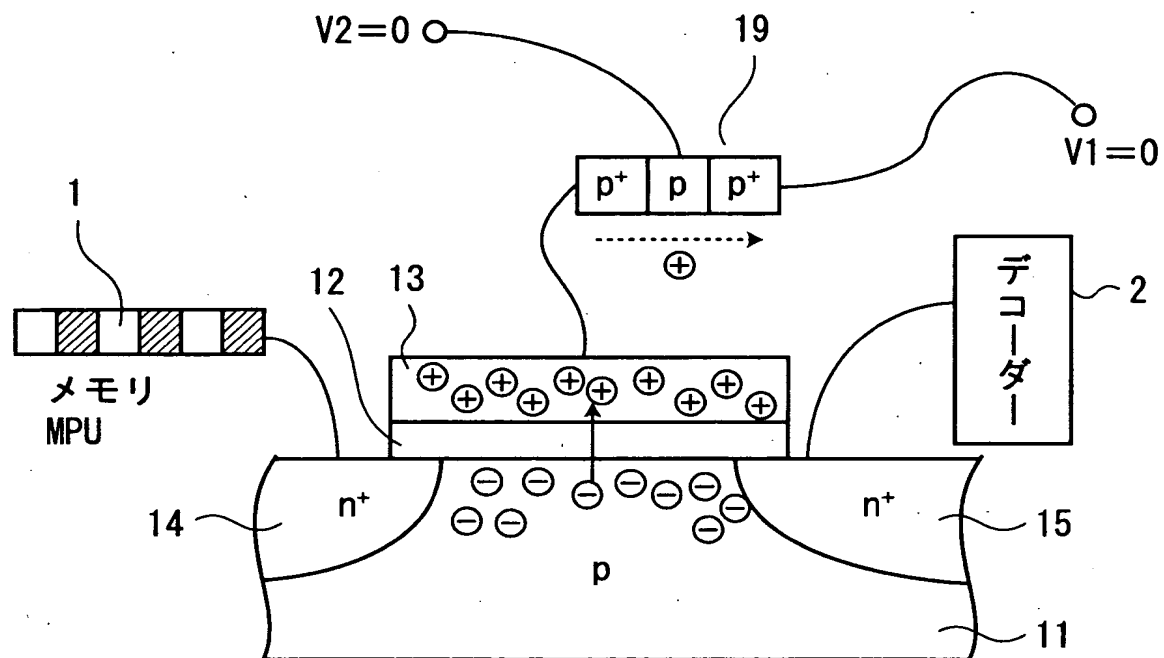
【図 20】



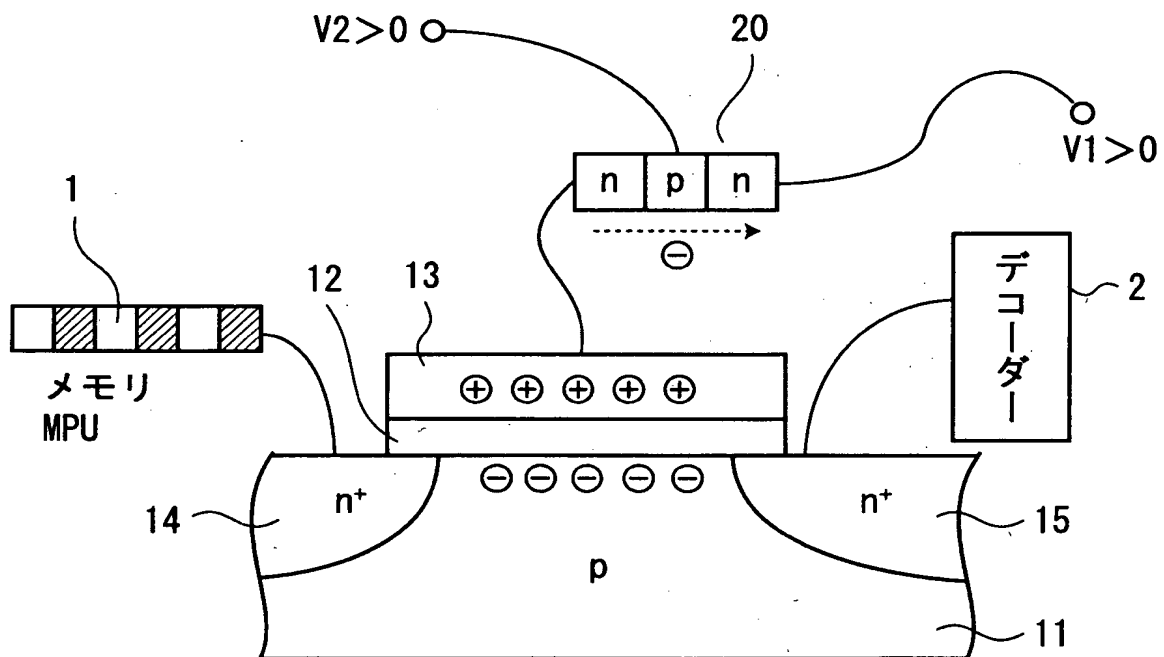
【図 21】



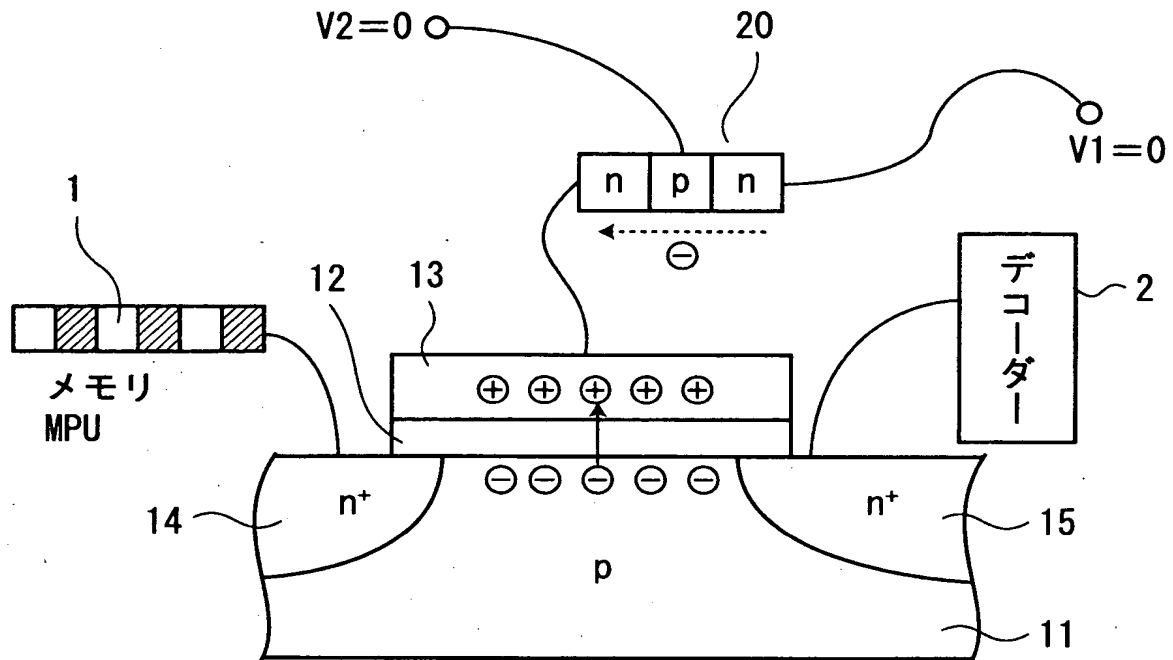
【図 2 2】



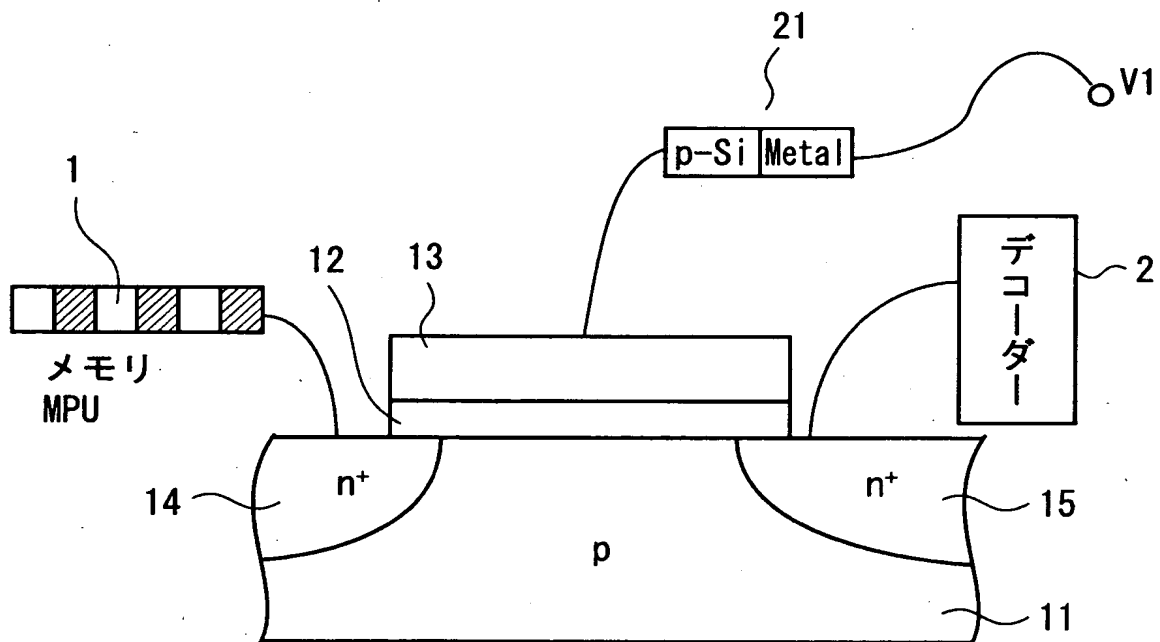
【図 2 3】



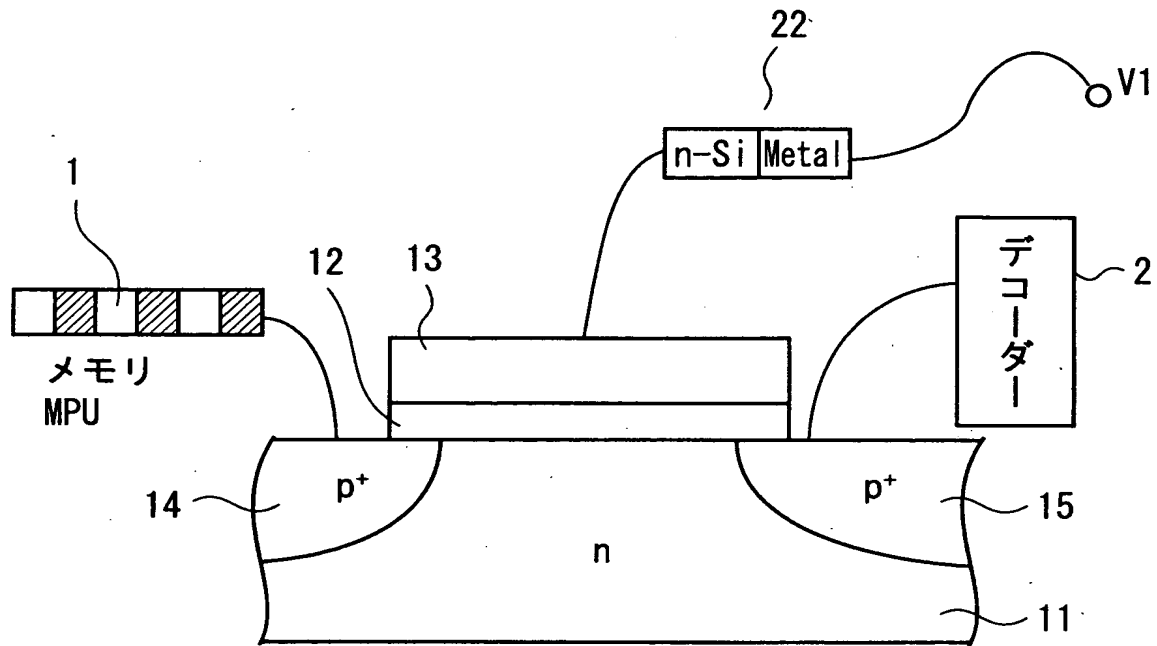
【図 24】



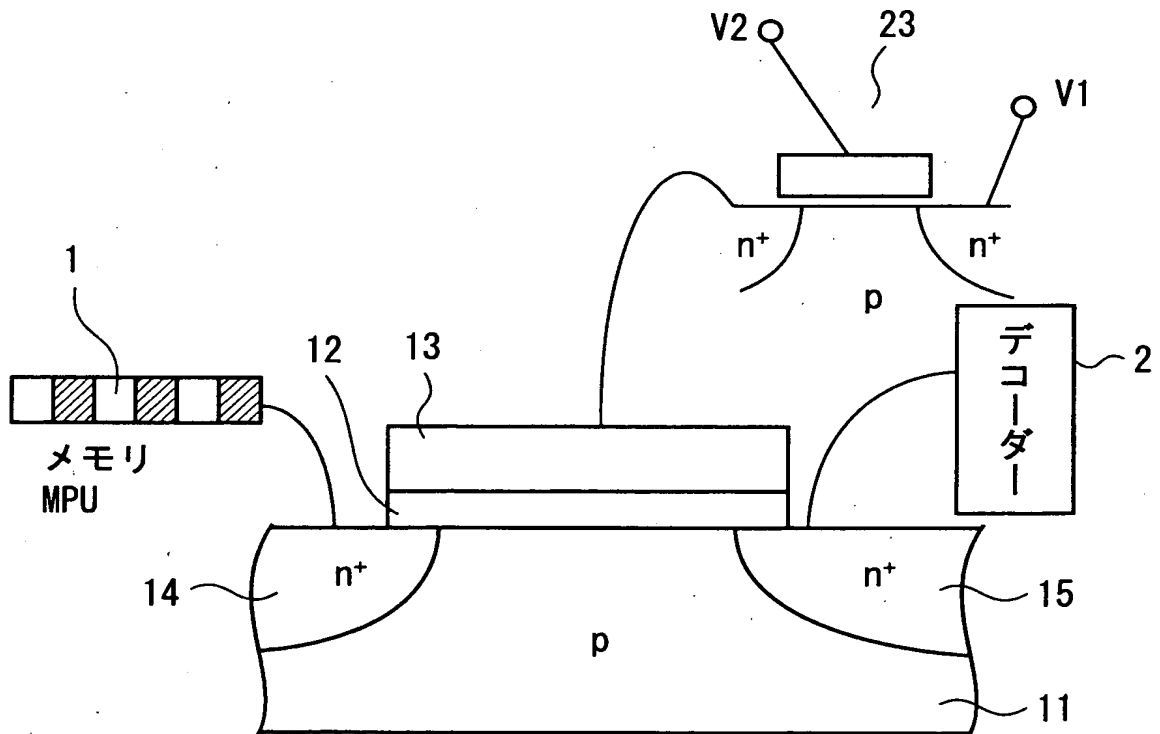
【図 25】



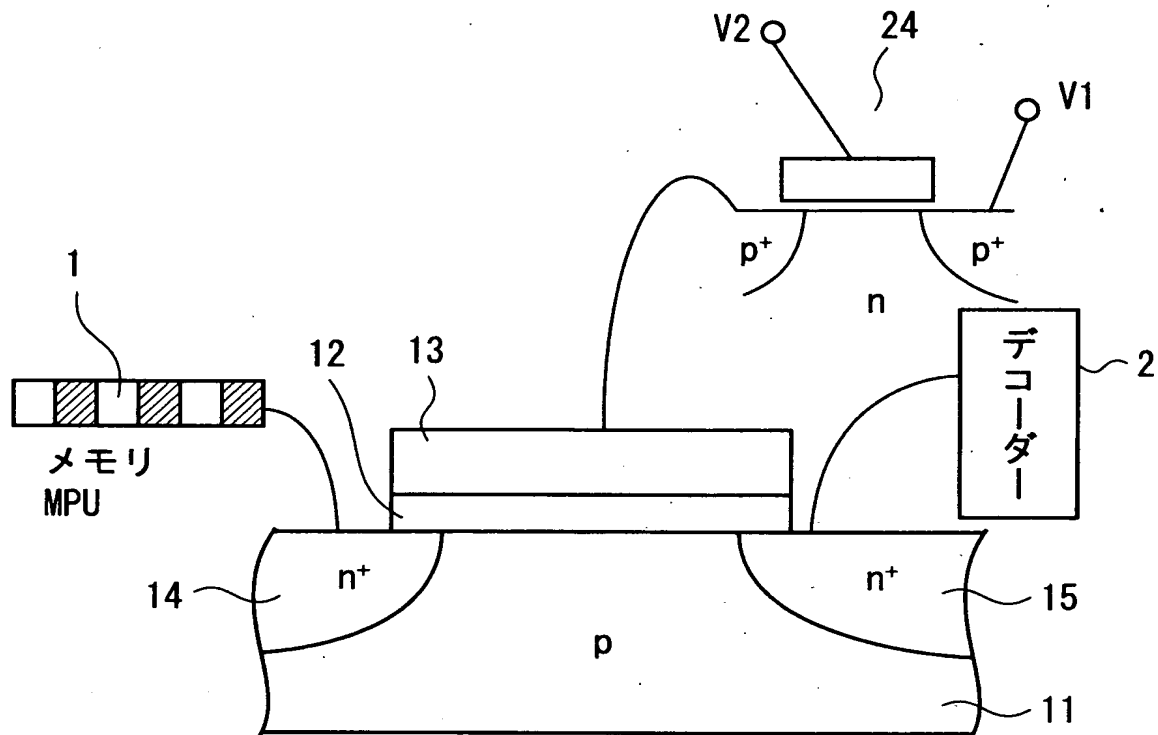
【図 26】



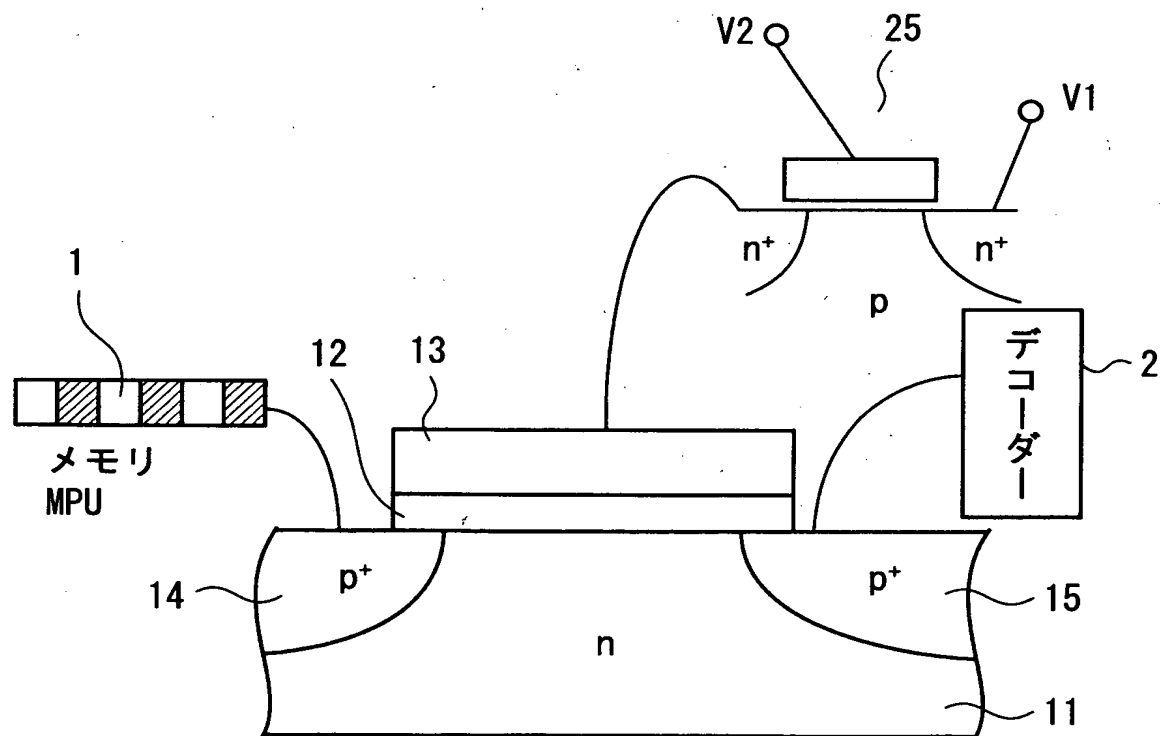
【図 27】



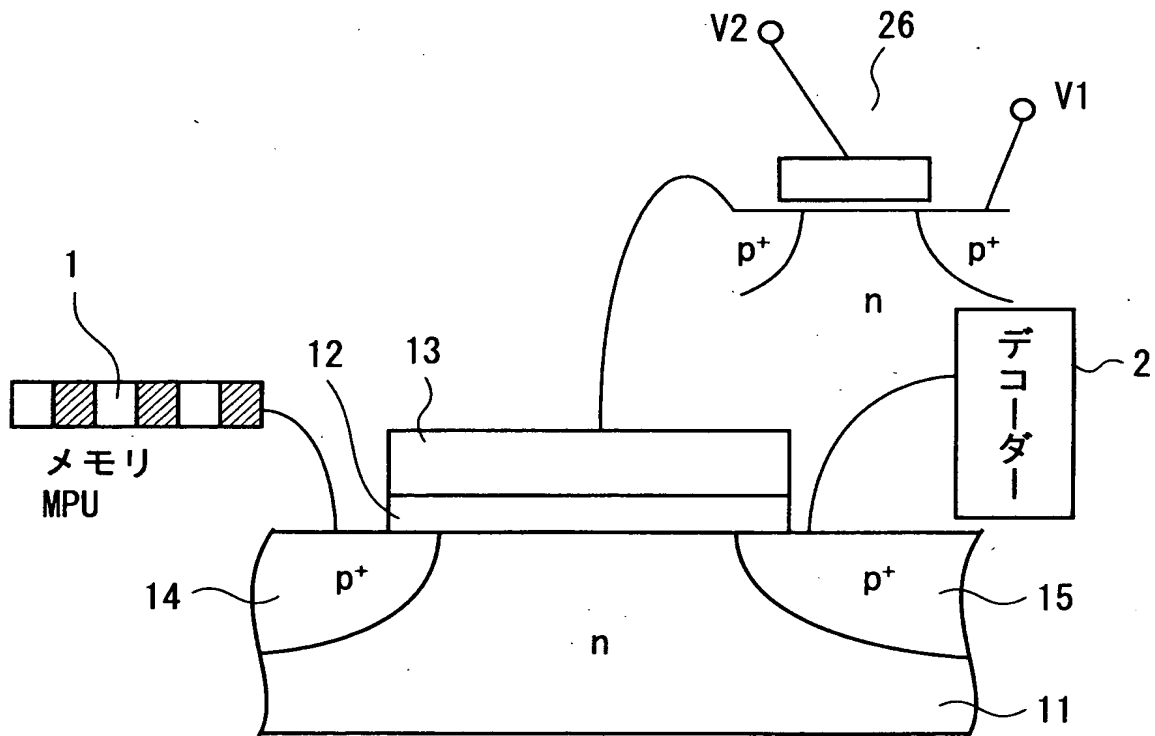
【図 28】



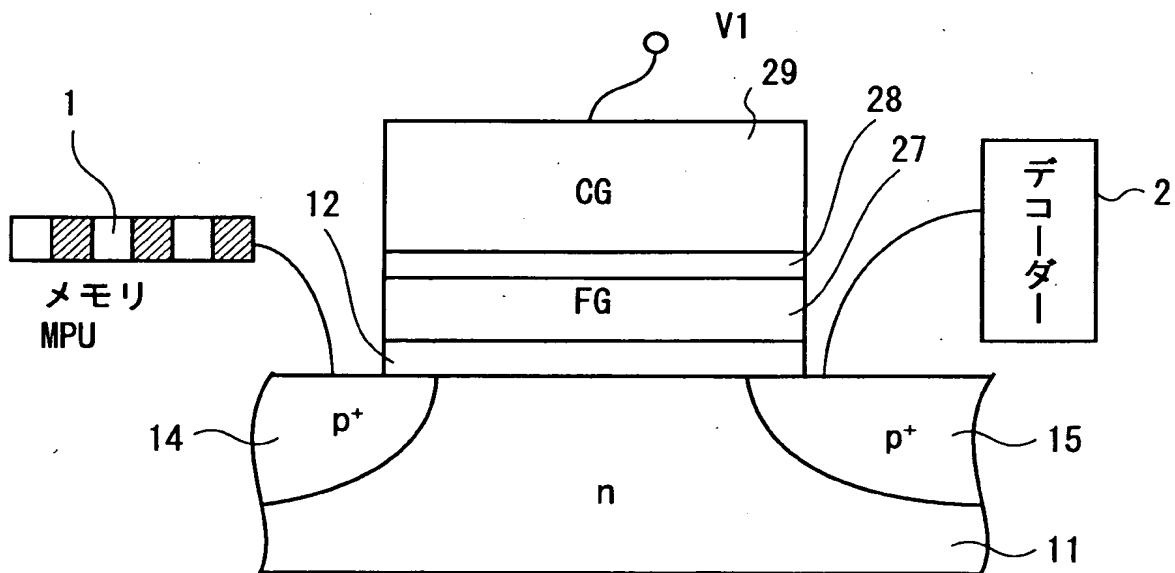
【図 29】



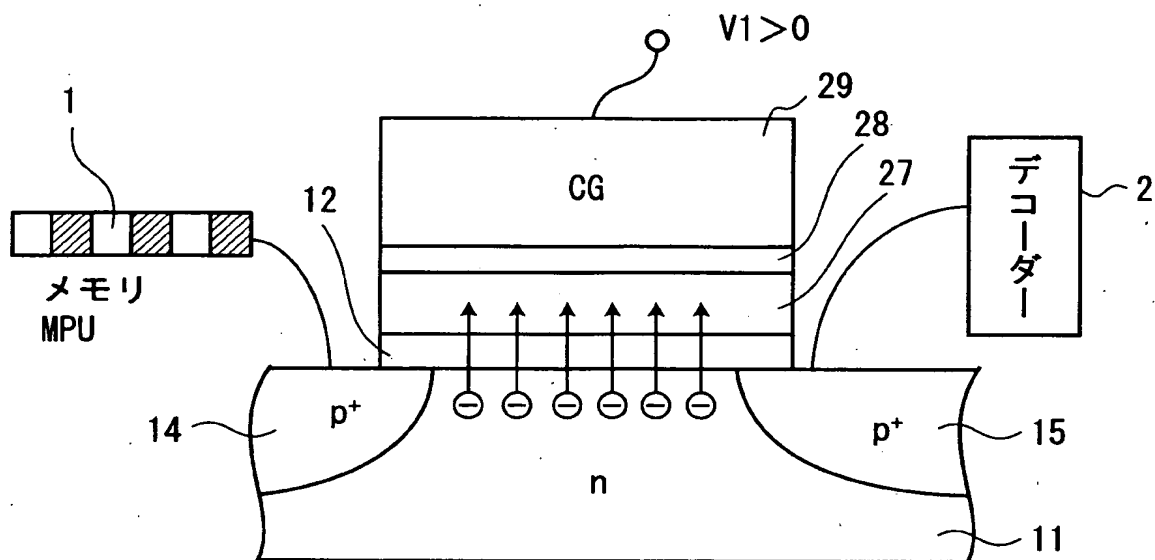
【図 30】



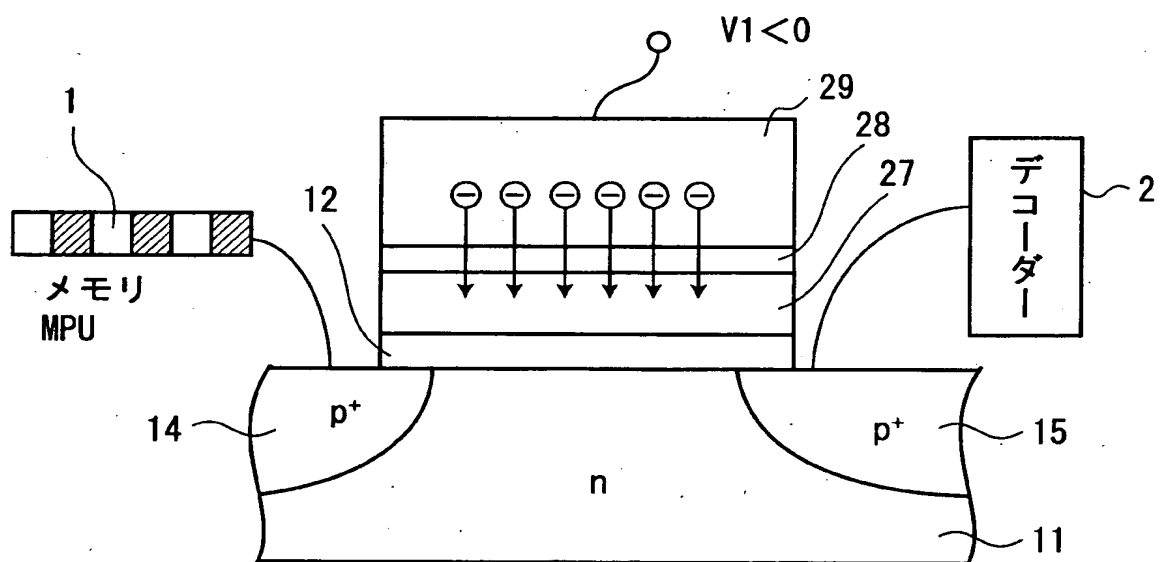
【図 3 1】



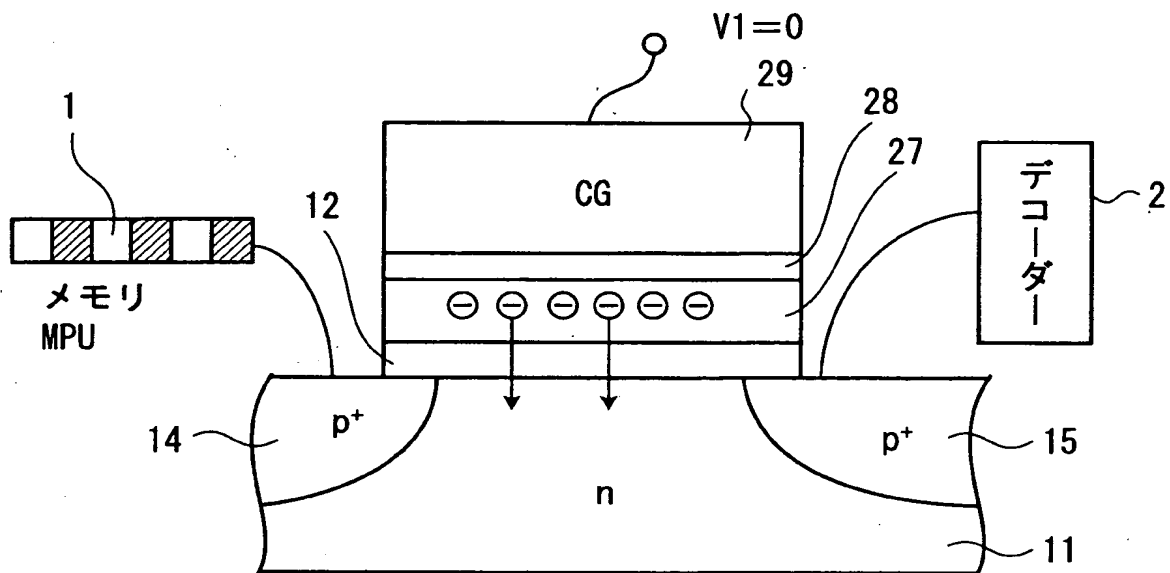
【図 3 2】



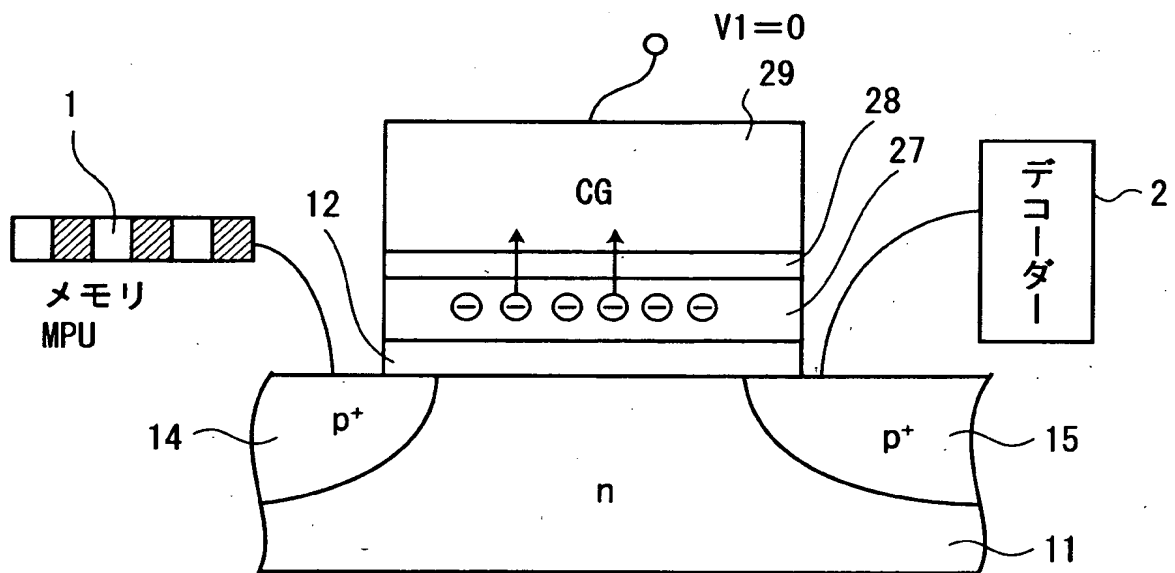
【図 3 3】



【図 3 4】

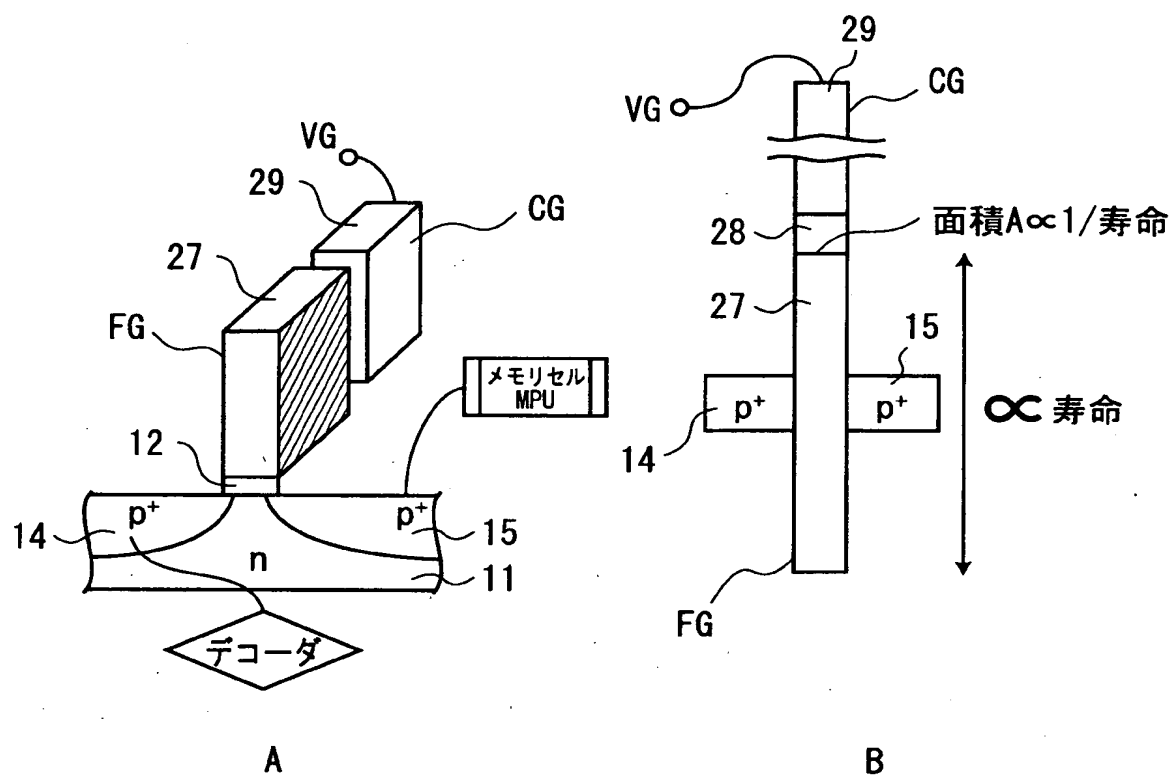


【図 3 5】

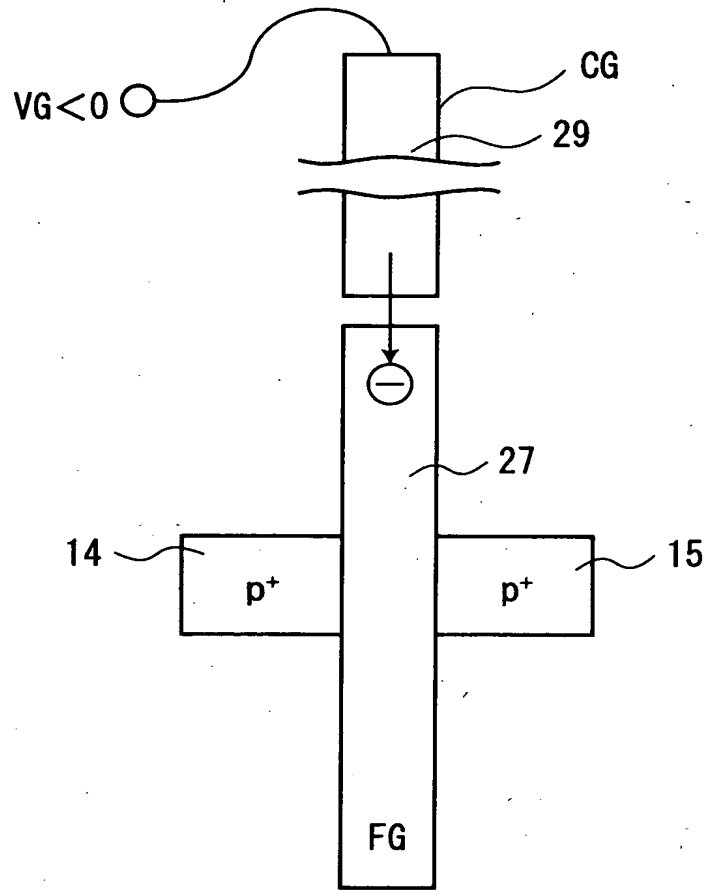




【図 36】

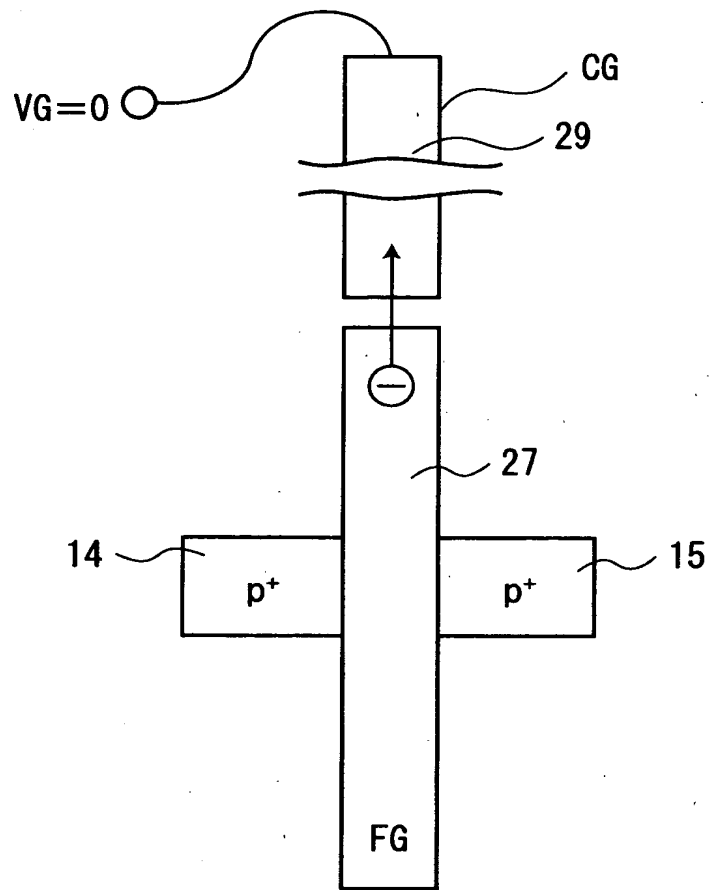


【図 3 7】



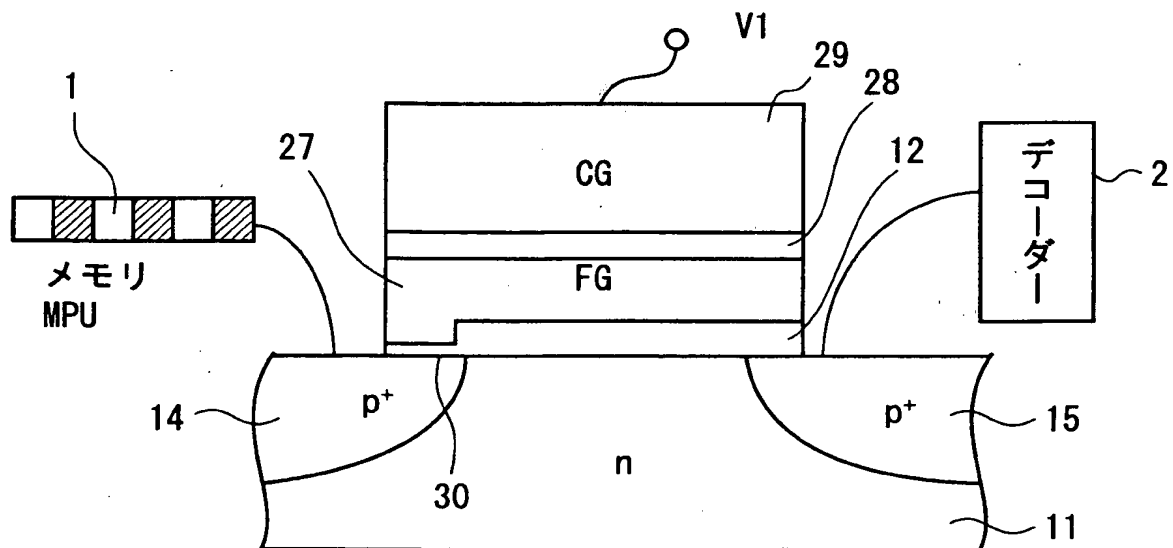
FNトンネル注入

【図 38】

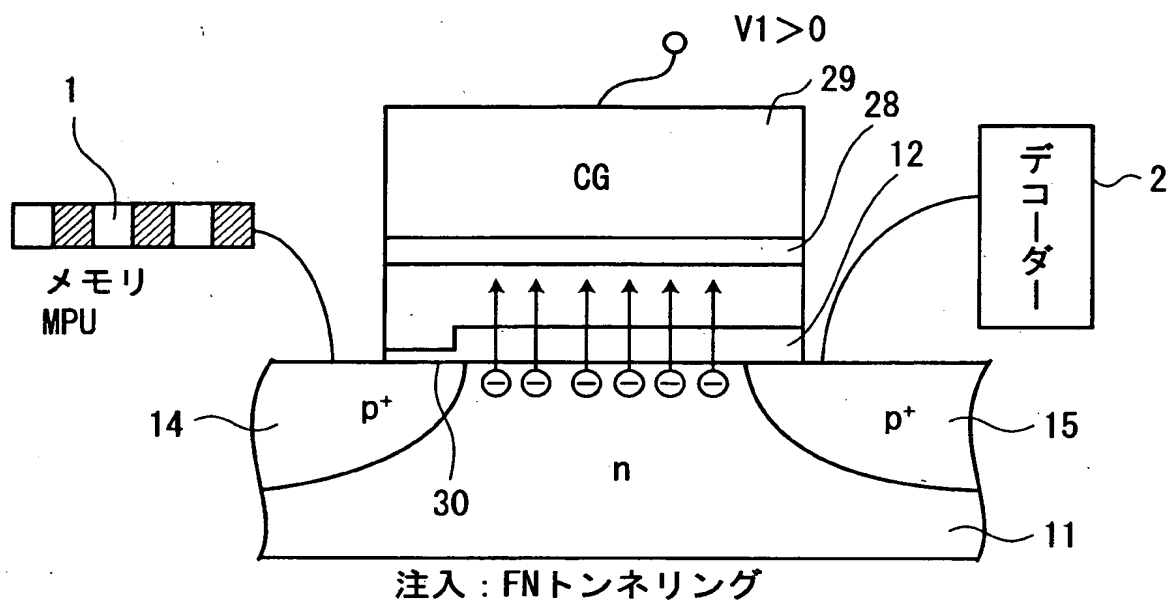


直接トンネル放出

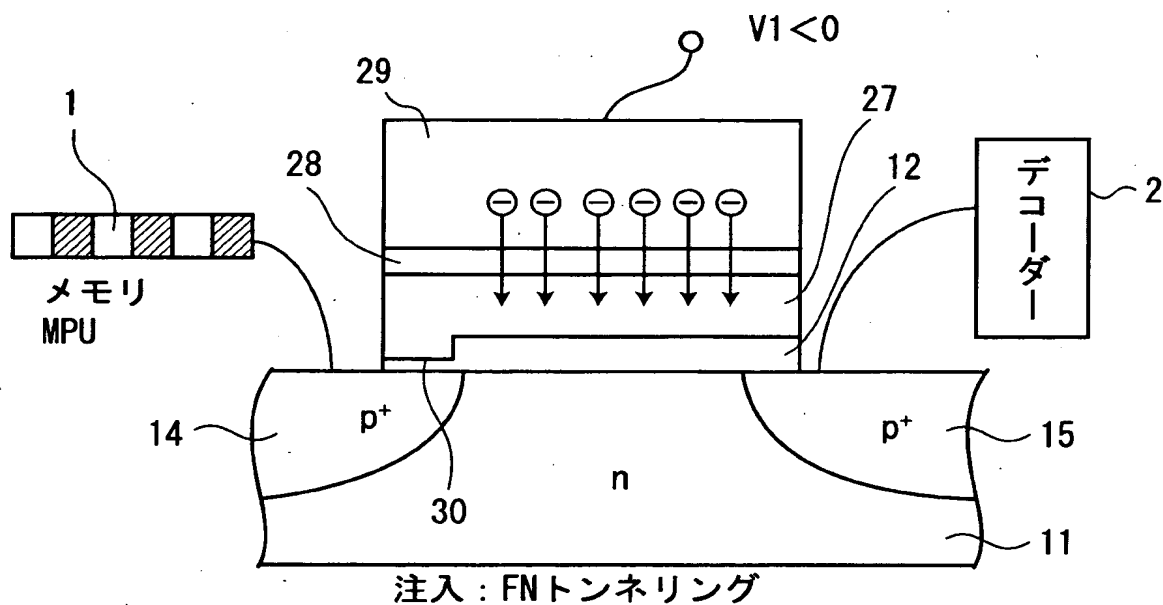
【図 39】



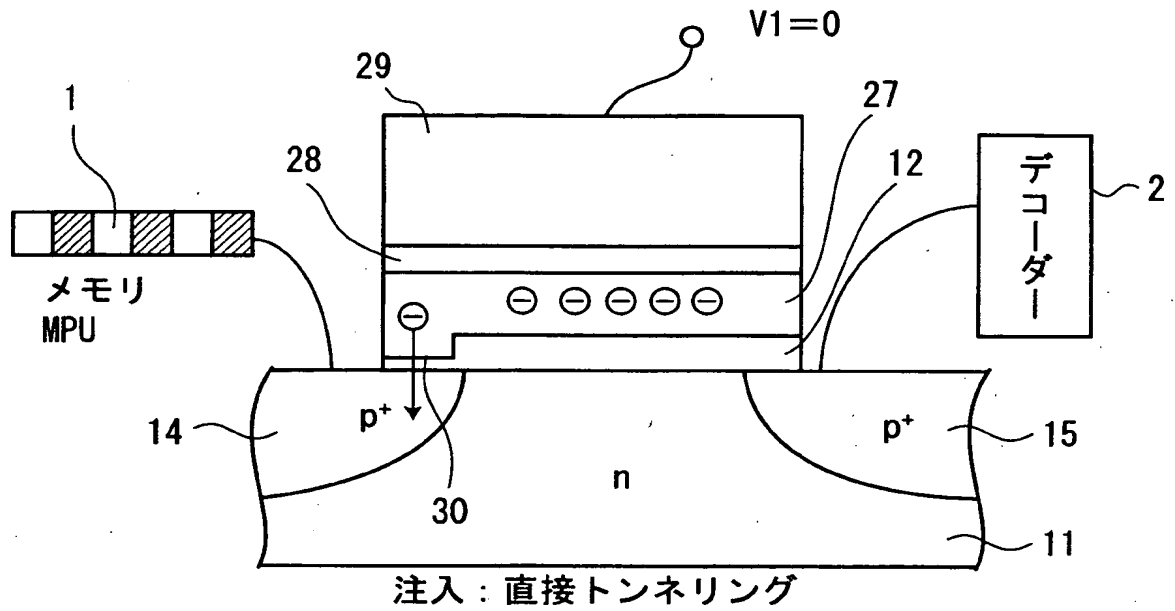
【図40】



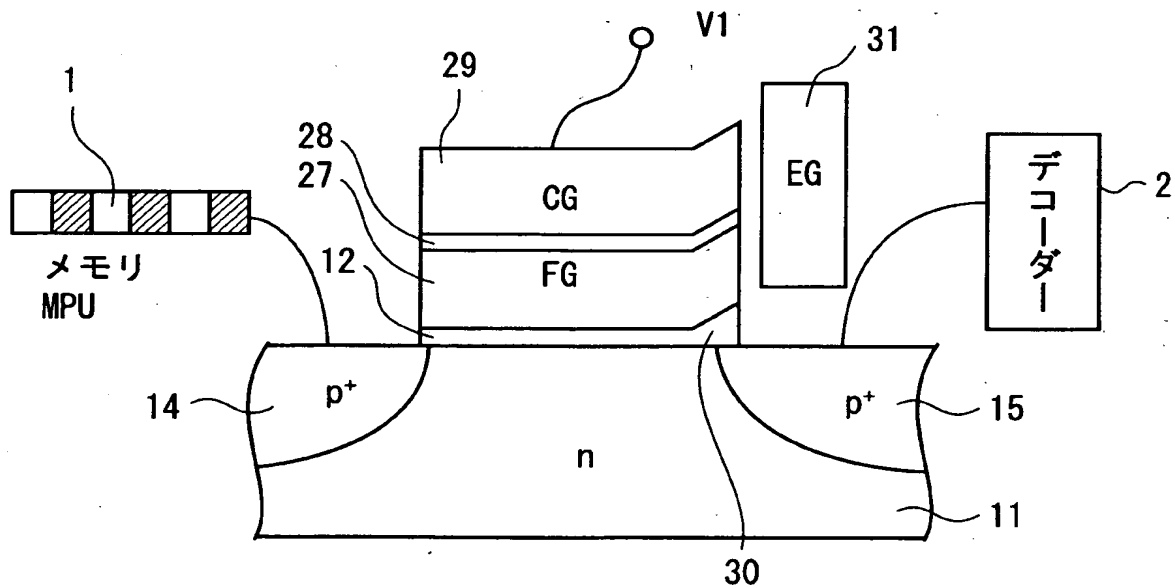
【図41】



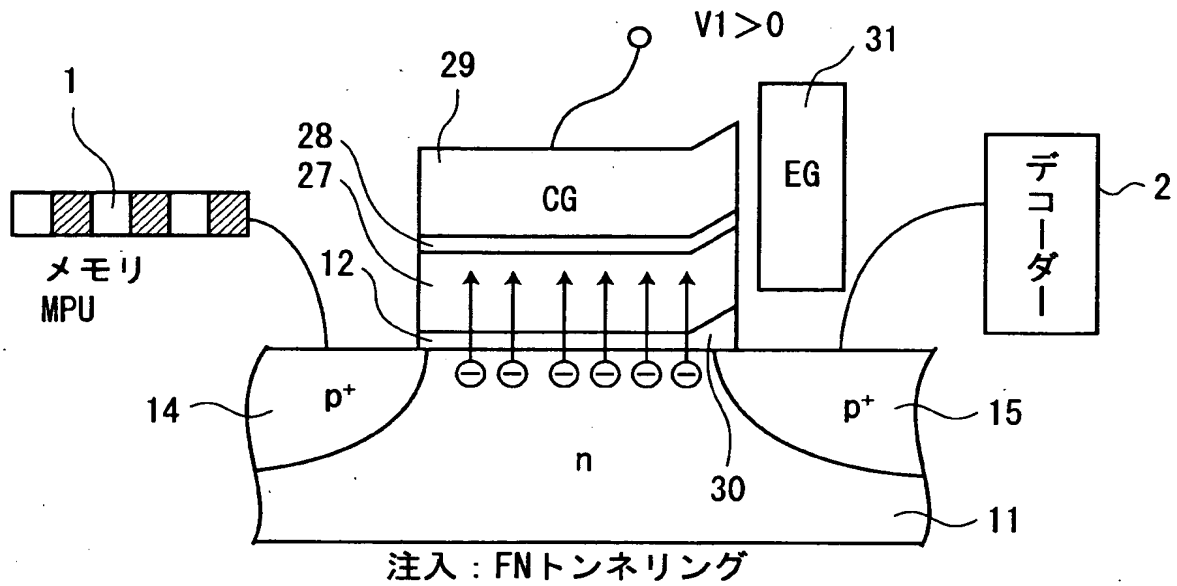
【図 4 2】



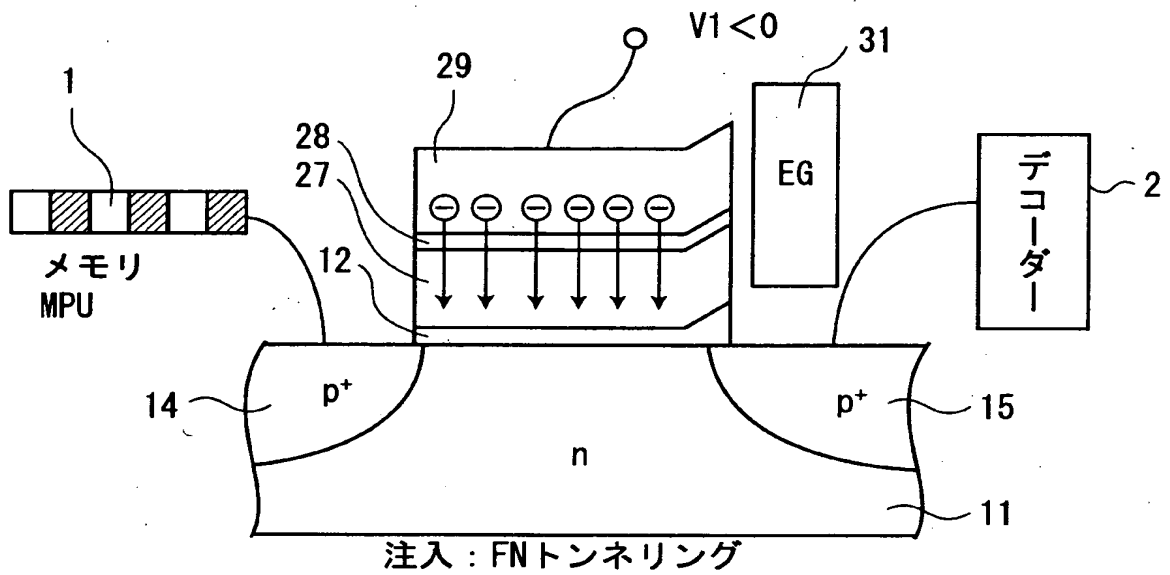
【図 4 3】



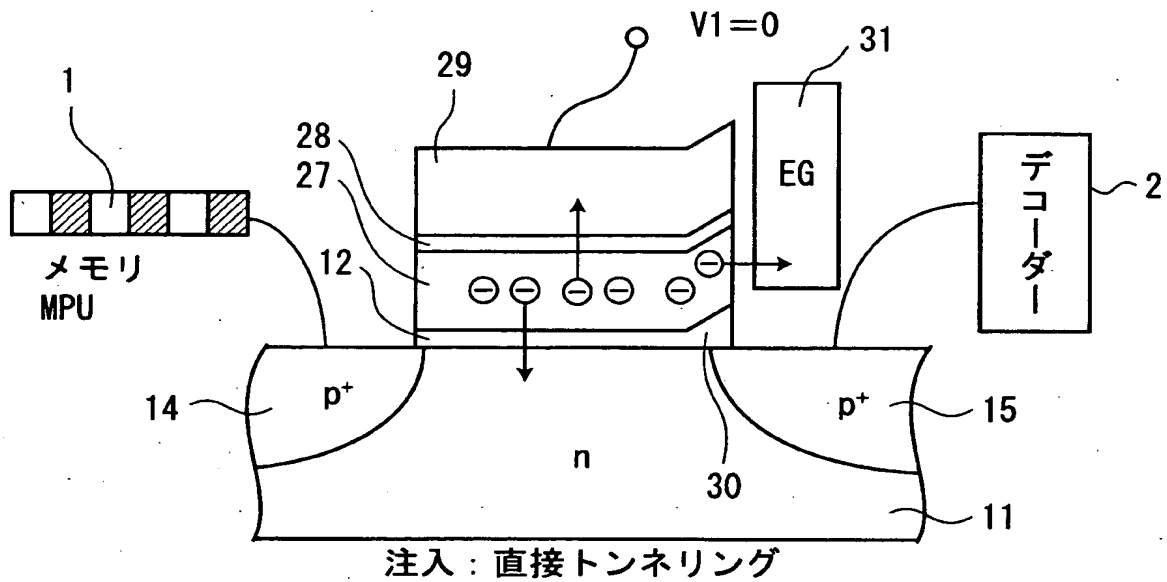
【図 4 4】



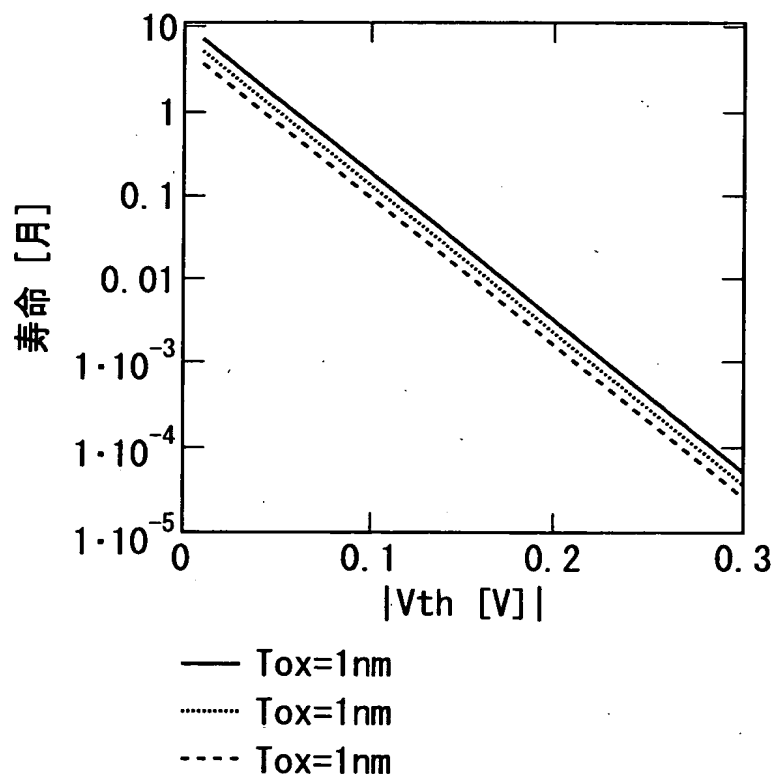
【図 4 5】



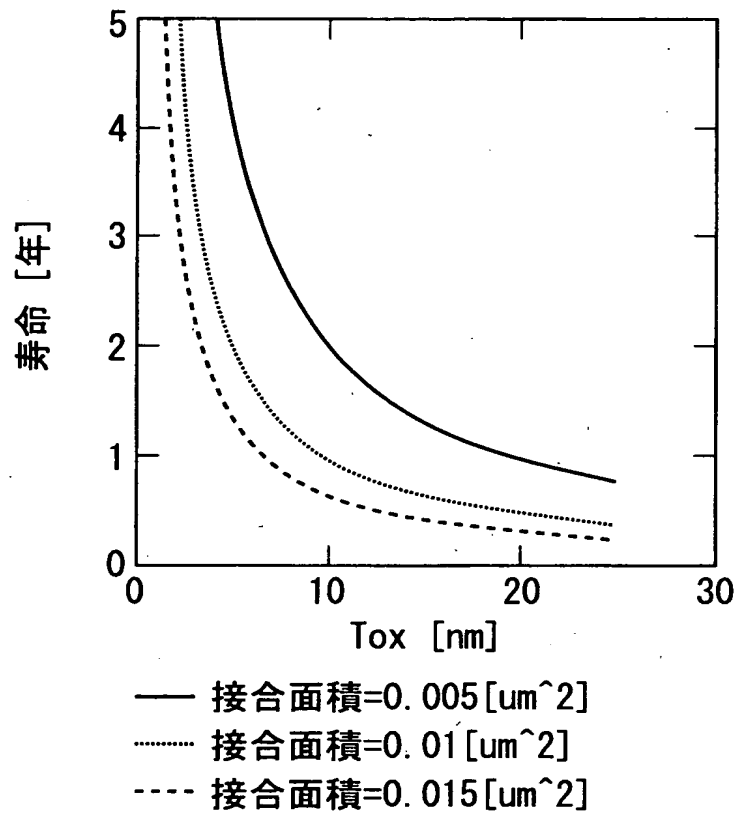
【図 4 6】



【図 4 7】

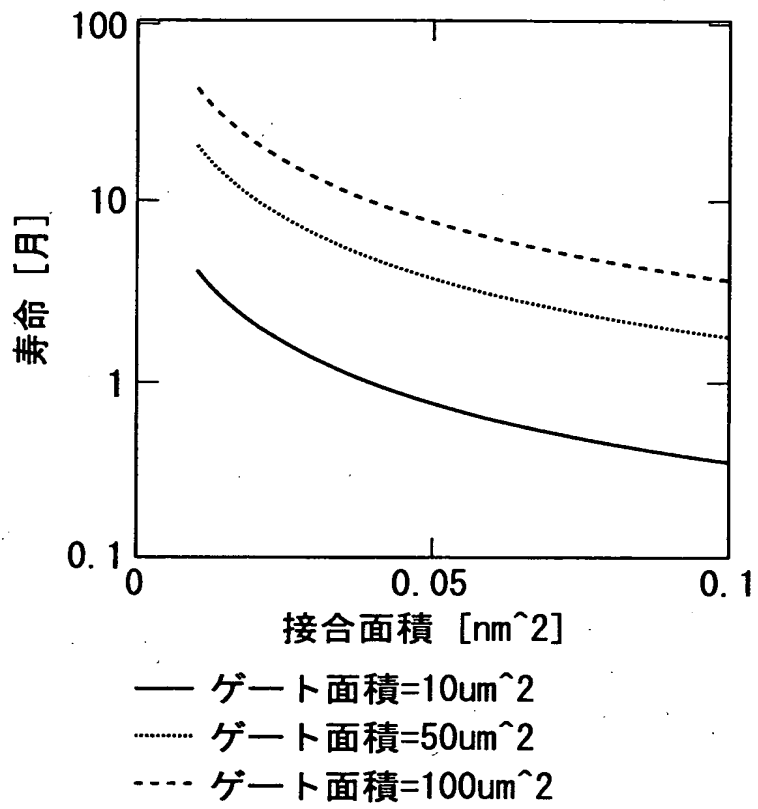


【図 4 8】

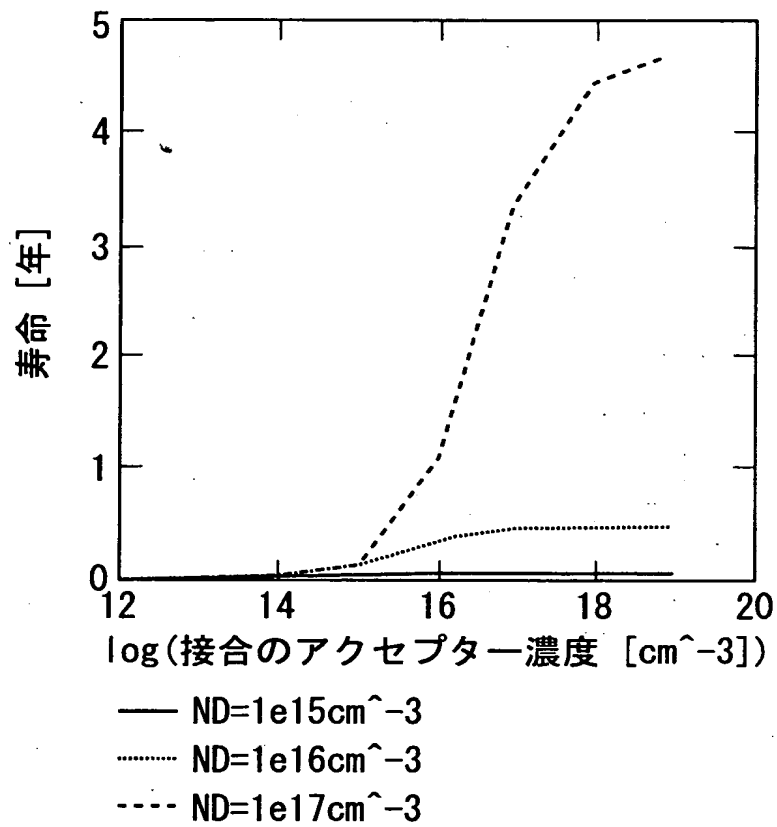




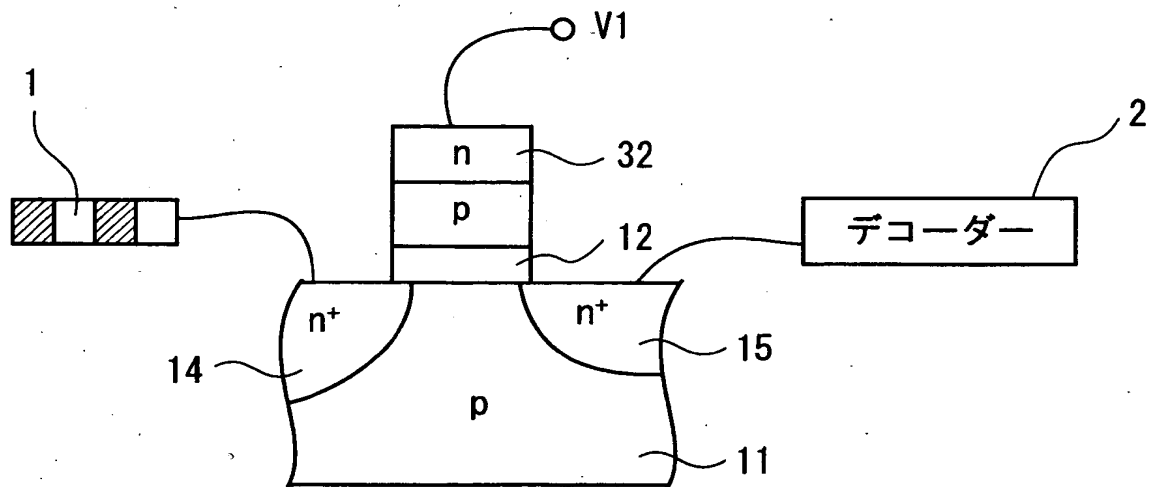
【図 4 9】



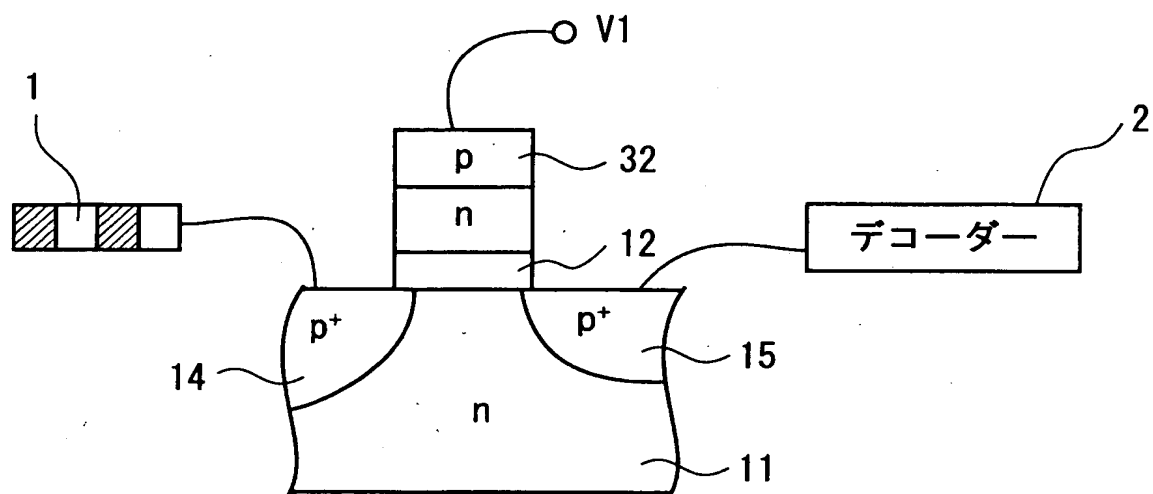
【図 50】



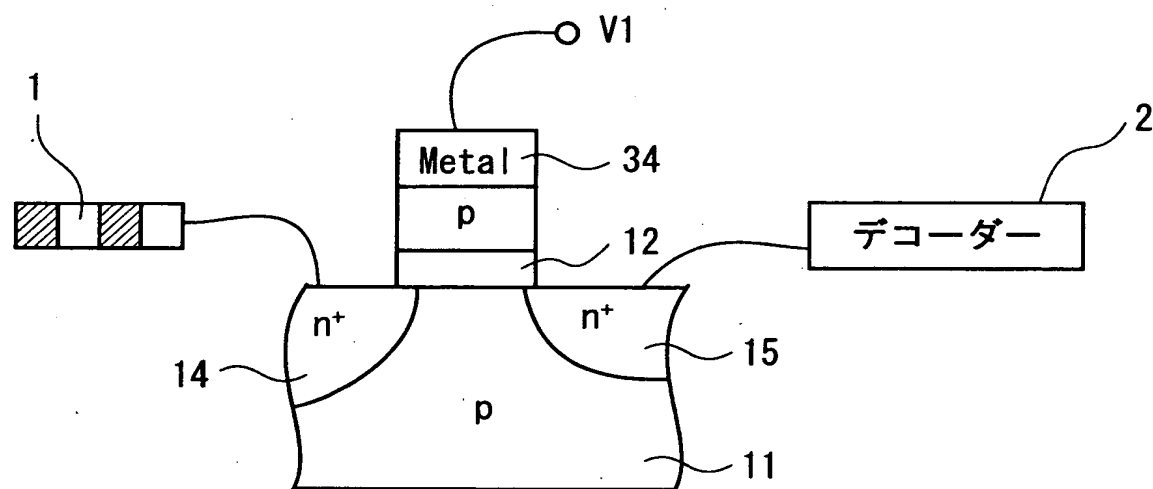
【図 51】



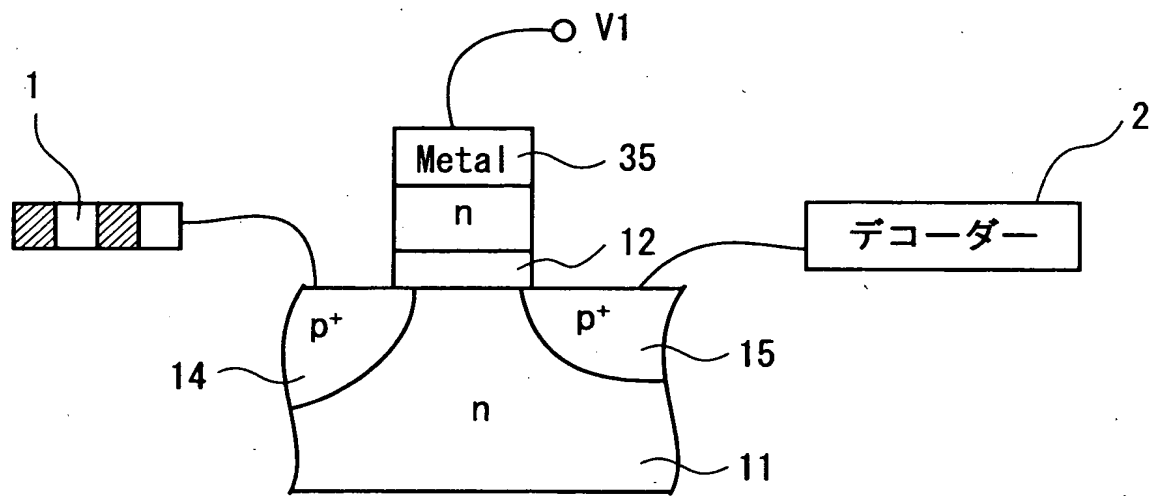
【図 5 2】



【図 5 3】



【図 5 4】



【書類名】 要約書

【要約】

【課題】 正確な動作寿命を補償することができ、異なる寿命を有する領域を提供でき、寿命の改ざんを防ぐことのできる有効期限付き機能利用装置を提供することを目的とする。

【解決手段】 半導体層と、半導体層上に形成された第1の機能ブロック1と、半導体層上に形成された第2の機能ブロック2と、第1の機能ブロック1及び第2の機能ブロック2間を接続して形成され、所定の時間経過後第1の機能ブロック1及び第2の機能ブロック2の接続を切断する時限スイッチ3とを具備し、所定の時間経過後は、第1の機能ブロック1及び第2の機能ブロック2をアクセス不能にすることを特徴とする有効期限付き機能利用装置。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-198144
受付番号	50200993354
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 7月 9日

<認定情報・付加情報>

【提出日】 平成14年 7月 8日

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日  
[変更理由] 住所変更  
住 所 東京都港区芝浦一丁目1番1号  
氏 名 株式会社東芝